

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2002年 9月27日

出願番号  
Application Number: 特願2002-282366

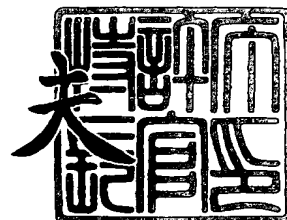
[ST. 10/C]: [JP2002-282366]

出願人  
Applicant(s): 株式会社ルネサステクノロジ  
株式会社ルネサス東日本セミコンダクタ

2003年10月23日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康



出証番号 出証特2003-3087620

【書類名】 特許願

【整理番号】 H02010741

【提出日】 平成14年 9月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

    【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立  
                          製作所 半導体グループ内

    【氏名】 中山 文孝

【発明者】

    【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立  
                          製作所 半導体グループ内

    【氏名】 森川 正敏

【発明者】

    【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立  
                          製作所 半導体グループ内

    【氏名】 星野 裕

【発明者】

    【住所又は居所】 群馬県高崎市西横手町 1 番地 1 日立東部セミコンダ  
                          クタ株式会社内

    【氏名】 内山 哲夫

【特許出願人】

    【識別番号】 000005108

    【氏名又は名称】 株式会社日立製作所

【特許出願人】

    【識別番号】 000233527

    【氏名又は名称】 日立東部セミコンダクタ株式会社

**【代理人】****【識別番号】** 100080001**【弁理士】****【氏名又は名称】** 筒井 大和**【電話番号】** 03-3366-0787**【手数料の表示】****【予納台帳番号】** 006909**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 (a) 半導体基板上に第 1 シリコン膜を形成し、前記第 1 シリコン膜上に第 1 絶縁膜を形成する工程、

(b) 前記第 1 絶縁膜および前記第 1 シリコン膜をパターンニングし、前記半導体基板の主面内の第 1 領域に前記第 1 シリコン膜からなる容量素子の下部電極および前記第 1 絶縁膜からなる前記容量素子の容量絶縁膜を形成し、前記半導体基板の前記主面内の第 2 領域に前記第 1 シリコン膜からなる抵抗素子を形成する工程、

(c) 前記容量素子の前記下部電極、前記容量絶縁膜および前記抵抗素子の存在下で、前記半導体基板上に第 1 導電性膜を形成する工程、

(d) 前記第 1 導電性膜をパターンニングし、前記容量絶縁膜上に前記第 1 導電性膜からなる前記容量素子の上部電極を形成し、前記半導体基板の前記主面上の第 3 領域に前記第 1 導電性膜からなるパワー M I S F E T のゲート電極を形成する工程、

を含むことを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 記載の半導体装置の製造方法において、前記 (a) 工程は、

(a 1) 前記第 1 シリコン膜の表面を酸化し、第 1 酸化シリコン膜を形成する工程、

(a 2) 前記第 1 酸化シリコン膜上に第 1 窒化シリコン膜を形成する工程、

(a 3) 前記第 1 窒化シリコン膜の表面を酸化し、第 2 酸化シリコン膜を形成する工程、

(a 4) 前記第 2 酸化シリコン膜上に第 3 酸化シリコン膜を形成し、前記第 1 酸化シリコン膜、前記第 1 窒化シリコン膜、前記第 2 酸化シリコン膜および前記第 3 酸化シリコン膜からなる前記第 1 絶縁膜を形成する工程、

を含むことを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 記載の半導体装置の製造方法において、前記第 1 導

電性膜は、下層から第2シリコン膜および高融点金属シリサイド膜を積層した積層膜、または下層から前記第2シリコン膜、バリア金属膜および高融点金属膜を積層した積層膜であることを特徴とする半導体装置の製造方法。

【請求項4】 請求項1記載の半導体装置の製造方法において、

(e) 前記パワーMISFETを有する平面矩形の半導体チップを形成する工程、

(f) 前記パワーMISFETのゲートと電氣的に接続する第1ワイヤおよび前記パワーMISFETのドレインと電氣的に接続する第2ワイヤによって、前記半導体チップを実装基板へワイヤボンディングする工程、

を含み、前記パワーMISFETは前記半導体チップの4箇所の角部に配置し、前記第1ワイヤおよび前記第2ワイヤはそれぞれが平面にて直交する方向に配置することを特徴とする半導体装置の製造方法。

【請求項5】 請求項1記載の半導体装置の製造方法において、前記容量素子および前記抵抗素子は、アナログ回路を形成することを特徴とする半導体装置の製造方法。

【請求項6】 請求項5記載の半導体装置の製造方法において、前記パワーMISFETは、第1周波数帯の信号を処理する第1回路および前記第1周波数帯とは異なる第2周波数帯の信号を処理する第2回路を形成し、前記アナログ回路は、前記第1回路もしくは前記第2回路を選択することを特徴とする半導体装置の製造方法。

【請求項7】 (a) 半導体基板上に第1シリコン膜を形成し、前記第1シリコン膜上に第1絶縁膜を形成する工程、

(b) 前記第1絶縁膜および前記第1シリコン膜をパターニングし、前記半導体基板の主面内の第1領域に前記第1シリコン膜からなる容量素子の下部電極および前記第1絶縁膜からなる前記容量素子の容量絶縁膜を形成する工程、

(c) 前記容量素子の前記下部電極および前記容量絶縁膜の存在下で、前記半導体基板上に第1導電性膜を形成する工程、

(d) 前記第1導電性膜をパターニングし、前記下部電極の第1部分上に前記第1導電性膜からなる前記容量素子の上部電極を形成する工程、

- (e) 前記容量素子の前記下部電極、前記容量絶縁膜および前記上部電極の存在下で、前記半導体基板上に第2絶縁膜を形成する工程、
- (f) 前記上部電極をエッチングストッパとして前記第2絶縁膜および前記容量絶縁膜をエッチングし、前記上部電極に達する第1開孔および前記第1部分を除く前記下部電極の第2部分に達する第2開孔を形成する工程、
- (g) 前記第1開孔内および前記第2開孔内にプラグを形成する工程、
- (h) 前記プラグの存在下で、前記第2絶縁膜上に第2導電性膜を形成する工程、
- (i) 前記第2導電性膜をパターンニングし、前記第2導電性膜からなり前記上部電極と電氣的に接続する第1配線および前記第2導電性膜からなり前記下部電極と電氣的に接続する第2配線を形成する工程、
- を含むことを特徴とする半導体装置の製造方法。

【請求項8】 請求項7記載の半導体装置の製造方法において、前記第1導電性膜は、下層から第2シリコン膜および高融点金属シリサイド膜を積層した積層膜、または下層から前記第2シリコン膜、バリア金属膜および高融点金属膜を積層した積層膜であることを特徴とする半導体装置の製造方法。

【請求項9】 請求項7記載の半導体装置の製造方法において、前記(a)工程は、

- (a1) 前記第1シリコン膜の表面を酸化し、第1酸化シリコン膜を形成する工程、
- (a2) 前記第1酸化シリコン膜上に第1窒化シリコン膜を形成する工程、
- (a3) 前記第1窒化シリコン膜の表面を酸化し、第2酸化シリコン膜を形成する工程、
- (a4) 前記第2酸化シリコン膜上に第3酸化シリコン膜を形成し、前記第1酸化シリコン膜、前記第1窒化シリコン膜、前記第2酸化シリコン膜および前記第3酸化シリコン膜からなる前記第1絶縁膜を形成する工程、
- を含むことを特徴とする半導体装置の製造方法。

【請求項10】 請求項9記載の半導体装置の製造方法において、前記(d)工程は、前記第1窒化シリコン膜をエッチングストッパとしたエッチングによ

り行うことを特徴とする半導体装置の製造方法。

【請求項 11】 請求項 7 記載の半導体装置の製造方法において、前記（b）工程は、前記半導体基板の前記主面内の第 2 領域に前記第 1 シリコン膜からなる抵抗素子を形成する工程を含み、前記（d）工程は、前記半導体基板の前記主面上の第 3 領域に前記第 1 導電性膜からなるパワー M I S F E T のゲート電極を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 12】 請求項 11 記載の半導体装置の製造方法において、  
（j）前記パワー M I S F E T を有する平面矩形の半導体チップを形成する工程、  
（k）前記パワー M I S F E T のゲートと電氣的に接続する第 1 ワイヤおよび前記パワー M I S F E T のドレインと電氣的に接続する第 2 ワイヤによって、前記半導体チップを実装基板へワイヤボンディングする工程、  
を含み、前記パワー M I S F E T は前記半導体チップの 4 箇所の角部に配置し、平面にて前記第 1 ワイヤの延在する第 1 方向と前記第 2 ワイヤの延在する第 2 方向とが交差するように前記第 1 ワイヤおよび前記第 2 ワイヤを配置することを特徴とする半導体装置の製造方法。

【請求項 13】 請求項 11 記載の半導体装置の製造方法において、前記容量素子および前記抵抗素子は、アナログ回路を形成することを特徴とする半導体装置の製造方法。

【請求項 14】 請求項 13 記載の半導体装置の製造方法において、前記パワー M I S F E T は、第 1 周波数帯の信号を処理する第 1 回路および前記第 1 周波数帯とは異なる第 2 周波数帯の信号を処理する第 2 回路を形成し、前記アナログ回路は、前記第 1 回路もしくは前記第 2 回路を選択することを特徴とする半導体装置の製造方法。

【請求項 15】 （a）半導体基板上に第 1 シリコン膜を形成し、前記第 1 シリコン膜上に第 1 絶縁膜を形成する工程、  
（b）前記第 1 絶縁膜および前記第 1 シリコン膜をパターンニングし、前記半導体基板の主面内の第 1 領域に前記第 1 シリコン膜からなる容量素子の下部電極および前記第 1 絶縁膜からなる前記容量素子の容量絶縁膜を形成し、前記半導体基板

の前記主面内の第2領域に前記第1シリコン膜からなる抵抗素子を形成する工程、

(c) 前記容量素子の前記下部電極、前記容量絶縁膜および前記抵抗素子の存在下で、前記半導体基板上に第1導電性膜を形成する工程、

(d) 前記第1導電性膜をパターンニングし、前記容量絶縁膜上に前記第1導電性膜からなる前記容量素子の上部電極を形成し、前記半導体基板の前記主面上の第3領域に前記第1導電性膜からなる第1導電型のパワーMISFETのゲート電極を形成し、前記半導体基板の前記主面上の第4領域に前記第1導電性膜からなる第1導電型の第1MISFETのゲート電極を形成し、前記半導体基板の前記主面上の第5領域に前記第1導電性膜からなる第2導電型の第2MISFETのゲート電極を形成する工程、

(e) 前記パワーMISFETの短チャネル効果を防ぐ領域に第2導電型の不純物を導入する工程、

(f) 前記(e)工程前または前記(e)工程後において、前記第1MISFETの短チャネル効果を防ぐ領域に第2導電型の不純物を導入する工程、  
を含み、前記パワーMISFETのゲート電極のゲート長は前記第2MISFETのゲート電極のゲート長より小さく形成することを特徴とする半導体装置の製造方法。

【請求項16】 請求項15記載の半導体装置の製造方法において、前記(a)工程は、

(a1) 前記第1シリコン膜の表面を酸化し、第1酸化シリコン膜を形成する工程、

(a2) 前記第1酸化シリコン膜上に第1窒化シリコン膜を形成する工程、

(a3) 前記第1窒化シリコン膜の表面を酸化し、第2酸化シリコン膜を形成する工程、

(a4) 前記第2酸化シリコン膜上に第3酸化シリコン膜を形成し、前記第1酸化シリコン膜、前記第1窒化シリコン膜、前記第2酸化シリコン膜および前記第3酸化シリコン膜からなる前記第1絶縁膜を形成する工程、

を含むことを特徴とする半導体装置の製造方法。



【請求項 17】 請求項 15 記載の半導体装置の製造方法において、前記第 1 導電性膜は、下層から第 2 シリコン膜および高融点金属シリサイド膜を積層した積層膜、または下層から前記第 2 シリコン膜、バリア金属膜および高融点金属膜を積層した積層膜であることを特徴とする半導体装置の製造方法。

【請求項 18】 請求項 15 記載の半導体装置の製造方法において、  
(g) 前記パワー M I S F E T を有する平面矩形の半導体チップを形成する工程、  
(h) 前記パワー M I S F E T のゲートと電氣的に接続する第 1 ワイヤおよび前記パワー M I S F E T のドレインと電氣的に接続する第 2 ワイヤによって、前記半導体チップを実装基板へワイヤボンディングする工程、  
を含み、前記パワー M I S F E T は前記半導体チップの 4 箇所の角部に配置し、平面にて前記第 1 ワイヤの延在する第 1 方向と前記第 2 ワイヤの延在する第 2 方向とが交差するように前記第 1 ワイヤおよび前記第 2 ワイヤを配置することを特徴とする半導体装置の製造方法。

【請求項 19】 請求項 15 記載の半導体装置の製造方法において、前記容量素子および前記抵抗素子は、アナログ回路を形成することを特徴とする半導体装置の製造方法。

【請求項 20】 請求項 19 記載の半導体装置の製造方法において、前記パワー M I S F E T は、第 1 周波数帯の信号を処理する第 1 回路および前記第 1 周波数帯とは異なる第 2 周波数帯の信号を処理する第 2 回路を形成し、前記アナログ回路は、前記第 1 回路もしくは前記第 2 回路の選択を行うことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造技術に関し、特に、パワー M I S F E T (Metal Insulator Semiconductor Field Effect Transistor) を含む半導体装置の製造に適用して有効な技術に関するものである。

【0002】

**【従来の技術】**

近年、携帯電話をはじめとする移動体通信機器の小型化が求められている。それに伴い、移動体通信機器に含まれる高周波デバイスを集積化することが検討されている（たとえば、特許文献1参照。）。

**【0003】****【特許文献1】**

特開 2002-111415号公報（第3頁）

**【0004】****【発明が解決しようとする課題】**

上記移動体通信機器に含まれる高周波デバイスにおいて、高周波電力の増幅を行う送信用パワーアンプはキーコンポーネントとなっている。本発明者らは、この送信用パワーアンプを小型化することを目的として、送信用パワーアンプに含まれるパワーMISFET（パワーMOSFET（Metal Oxide Semiconductor Field Effect Transistor）を含む）、制御用CMOS（Complementary MOS）回路、抵抗素子および容量素子を一つの半導体チップ（以降、単にチップと記す）に形成する技術の開発に従事している。その中で、本発明者らは、チップの製造コストの増加を抑制するために、既存のパワーMISFETの製造工程に対して極力工程数を増やすことなく、制御用CMOS回路、抵抗素子および容量素子の製造工程を組み込む技術について検討した。

**【0005】**

本発明の目的は、工程数を増やすことなく所望の特性のパワーMISFET、制御用CMOS回路、抵抗素子および容量素子を一つのチップに形成できる技術を提供することにある。

**【0006】**

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

**【0007】****【課題を解決するための手段】**

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば

、次のとおりである。

【0008】

すなわち、本発明は、半導体基板上に第1シリコン膜を形成し、前記第1シリコン膜上に第1絶縁膜を形成する工程と、前記第1絶縁膜および前記第1シリコン膜をパターンニングし、前記半導体基板の主面内の第1領域に前記第1シリコン膜からなる容量素子の下部電極および前記第1絶縁膜からなる前記容量素子の容量絶縁膜を形成し、前記半導体基板の前記主面内の第2領域に前記第1シリコン膜からなる抵抗素子を形成する工程と、前記容量素子の前記下部電極、前記容量絶縁膜および前記抵抗素子の存在下で、前記半導体基板上に第1導電性膜を形成する工程と、前記第1導電性膜をパターンニングし、前記容量絶縁膜上に前記第1導電性膜からなる前記容量素子の上部電極を形成し、前記半導体基板の前記主面上の第3領域に前記第1導電性膜からなるパワーMISFETのゲート電極を形成する工程とを含むものである。

【0009】

また、本発明は、半導体基板上に第1シリコン膜を形成し、前記第1シリコン膜上に第1絶縁膜を形成する工程と、前記第1絶縁膜および前記第1シリコン膜をパターンニングし、前記半導体基板の主面内の第1領域に前記第1シリコン膜からなる容量素子の下部電極および前記第1絶縁膜からなる前記容量素子の容量絶縁膜を形成する工程と、前記容量素子の前記下部電極および前記容量絶縁膜の存在下で、前記半導体基板上に第1導電性膜を形成する工程と、前記第1導電性膜をパターンニングし、前記下部電極の第1部分上に前記第1導電性膜からなる前記容量素子の上部電極を形成する工程と、前記容量素子の前記下部電極、前記容量絶縁膜および前記上部電極の存在下で、前記半導体基板上に第2絶縁膜を形成する工程と、前記上部電極をエッチングストッパとして前記第2絶縁膜および前記容量絶縁膜をエッチングし、前記上部電極に達する第1開孔および前記第1部分を除く前記下部電極の第2部分に達する第2開孔を形成する工程と、前記第1開孔内および前記第2開孔内にプラグを形成する工程と、前記プラグの存在下で、前記第2絶縁膜上に第2導電性膜を形成する工程と、前記第2導電性膜をパターンニングし、前記第2導電性膜からなり前記上部電極と電気的に接続する第1配線

および前記第2導電性膜からなり前記下部電極と電氣的に接続する第2配線を形成する工程とを含むものである。

#### 【0010】

また、本発明は、半導体基板上に第1シリコン膜を形成し、前記第1シリコン膜上に第1絶縁膜を形成する工程と、前記第1絶縁膜および前記第1シリコン膜をパターニングし、前記半導体基板の主面内の第1領域に前記第1シリコン膜からなる容量素子の下部電極および前記第1絶縁膜からなる前記容量素子の容量絶縁膜を形成し、前記半導体基板の前記主面内の第2領域に前記第1シリコン膜からなる抵抗素子を形成する工程と、前記容量素子の前記下部電極、前記容量絶縁膜および前記抵抗素子の存在下で、前記半導体基板上に第1導電性膜を形成する工程と、前記第1導電性膜をパターニングし、前記容量絶縁膜上に前記第1導電性膜からなる前記容量素子の上部電極を形成し、前記半導体基板の前記主面上の第3領域に前記第1導電性膜からなる第1導電型のパワーMISFETのゲート電極を形成し、前記半導体基板の前記主面上の第4領域に前記第1導電性膜からなる第1導電型の第1MISFETのゲート電極を形成し、前記半導体基板の前記主面上の第5領域に前記第1導電性膜からなる第2導電型の第2MISFETのゲート電極を形成する工程と、前記パワーMISFETの短チャネル効果を防ぐ領域に第2導電型の不純物を導入する工程と、前記第2導電型の不純物を導入する工程の前または後において前記第1MISFETの短チャネル効果を防ぐ領域に第2導電型の不純物を導入する工程とを含み、前記パワーMISFETのゲート電極のゲート長は前記第2MISFETのゲート電極のゲート長より小さく形成するものである。

#### 【0011】

##### 【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、本実施の形態の説明においては、その構成および位置関係をわかりやすくするために平面図であってもハッチングを付す場合がある。

## 【0012】

本実施の形態の半導体装置は、たとえばnチャネル型（第1導電型）パワーMISFET、抵抗素子、容量素子、スイッチング素子となるnチャネル型MISFETおよびpチャネル型（第2導電型）MISFETを有し、高周波電力の増幅を行うチップである。また、抵抗素子、容量素子、スイッチング素子となるnチャネル型MISFETおよびpチャネル型MISFETは、制御用CMOS回路（アナログ回路）を形成するものである。このような本実施の形態の半導体装置の製造工程について、図1～図23を用いて説明する。

## 【0013】

まず、図1に示すような基板1を用意する。この基板1は、抵抗率が $3\text{ m}\Omega\text{ cm}$ ～ $6\text{ m}\Omega\text{ cm}$ 程度の単結晶シリコンからなる半導体基板2と、半導体基板2の主面にてエピタキシャル成長させた単結晶シリコン層3と、半導体基板2の裏面にて形成された酸化シリコン膜4とからなる。単結晶シリコン層3は、p型の導電性を有する不純物（たとえばB（ホウ素））がドーピングされ、抵抗率が $18\text{ }\Omega\text{ cm}$ ～ $23\text{ }\Omega\text{ cm}$ 程度であり、厚さを $2.9\text{ }\mu\text{ m}$ ～ $3.1\text{ }\mu\text{ m}$ 程度とすることを例示できる。酸化シリコン膜4は、半導体基板2の裏面を汚染および破損などから保護する機能を有する。また、その基板は、たとえば以後の工程において保護ダイオードが形成される領域（図示は省略）と、nチャネル型（第1導電型）パワーMISFETが形成される領域（第3領域）PWMISと、抵抗素子が形成される領域（第2領域）RESIと、容量素子が形成される領域（第1領域）CAPAと、nチャネル型MISFET（第1MISFET）が形成される領域（第4領域）NMISと、pチャネル型（第2導電型）MISFET（第2MISFET）が形成される領域（第5領域）PMISとに分割されている。

## 【0014】

次に、フォトリソグラフィ技術によってパターニングされたフォトレジスト膜（図示は省略）をマスクとして単結晶シリコン層3にp型の導電性を有する不純物イオン（たとえばB）を導入することにより、 $p^{++}$ 型半導体領域5を形成する。その後、そのフォトレジスト膜を除去する。

## 【0015】

続いて、基板を約 850℃で熱処理することにより、単結晶シリコン層 3 および p++型半導体領域 5 の表面に膜厚 15 nm 程度の薄い酸化シリコン膜 6 を形成する。次いで、CVD 法により酸化シリコン膜 6 上に膜厚 140 nm 程度の窒化シリコン膜（図示は省略）を堆積する。次に、フォトリソグラフィ技術によってパターニングされたフォトレジスト膜（図示は省略）をマスクとしてその窒化シリコン膜をパターニング（エッチング）する。次に、そのフォトレジスト膜を除去した後、1050℃程度の蒸気を用いて基板 1 を 33 分程度熱処理し、酸化シリコン膜 6 の膜厚を選択的に厚くすることによって、厚さ 350 nm 程度のフィールド絶縁膜 7 を形成する。このフィールド絶縁膜 7 が形成された領域を素子分離領域として規定することができ、それ以外の領域を素子形成領域（活性領域）として規定することができる。続いて、基板 1 を洗浄することにより、酸化シリコン膜 6 上に残っている窒化シリコン膜を除去する。

#### 【0016】

次に、フォトリソグラフィ技術によってパターニングされたフォトレジスト膜をマスクとし、後の工程にて容量素子が形成される領域 CAPA に n 型の導電型を有する不純物イオン（たとえば As（ヒ素））を導入することにより、n 型半導体領域 10 を形成する。この n 型半導体領域 10 の役割については、領域 CAPA にて容量素子が完成したところで詳しく説明する。

#### 【0017】

次に、図 2 に示すように、基板 1 上に 150 nm 程度のイントリンシックな多結晶シリコン膜（第 1 シリコン膜）11 を堆積する。続いて、その多結晶シリコン膜 11 上に ONO 膜（第 1 絶縁膜）12 を成膜する。この ONO 膜 12 の成膜工程について、図 3 を用いて詳しく説明する。

#### 【0018】

図 3 は、領域 RESI、CAPA 付近を拡大して示した要部断面図である。上記多結晶シリコン膜 11 を堆積した後、まず、基板 1 に 800℃程度の熱処理を施すことにより、多結晶シリコン膜 11 の表面に 4～5 nm 程度の薄い酸化シリコン膜（第 1 酸化シリコン膜）12A を形成する。続いて、多結晶シリコン膜 11 に n 型の導電型を有する不純物イオン（たとえば P（リン））を導入する。こ

の多結晶シリコン膜 11 に導入した不純物イオンは、抵抗素子の形成後の製造工程における熱処理の履歴により良好に多結晶シリコン膜 11 中に拡散させることができ、後の工程でこの多結晶シリコン膜 11 から抵抗素子を形成した際に、その抵抗素子を良好に活性化させることができる。

#### 【0019】

続いて、たとえば CVD 法により酸化シリコン膜 12A 上に膜厚 20 nm 程度の窒化シリコン膜（第 1 窒化シリコン膜）12B を堆積する。続いて、約 1100℃ の熱処理によって窒化シリコン膜 12B の表面を酸化することにより酸化シリコン膜（第 2 酸化シリコン膜）12C1 を形成する。続いて、CVD 法によりその酸化シリコン膜 12C1 上に膜厚 15 nm 程度の酸化シリコン膜（第 3 酸化シリコン膜）12C2 を堆積することによって、酸化シリコン膜 12C1、12C2 からなる酸化シリコン膜 12C を形成する。上記 ONO 膜 12 は、これら酸化シリコン膜 12A、窒化シリコン膜 12B および酸化シリコン膜 12C から形成することができる。ONO 膜 12 は、後の工程で容量素子の容量絶縁膜へと加工される。また、酸化シリコン膜 12C を形成する際に、酸化シリコン膜 12C1 上に酸化シリコン膜 12C2 を積層することにより、ONO 膜 12 の経時絶縁破壊（Time Dependent Dielectric Breakdown）に対する耐性を向上することができる。それにより、後の工程で形成される容量素子の信頼性を向上することができる。

#### 【0020】

次に、図 4 に示すように、フォトリソグラフィ技術によってパターンニングされたフォトレジスト膜（図示は省略）をマスクとしたエッチングにより、ONO 膜 12 および多結晶シリコン膜 11 をパターンニングする。それにより、抵抗素子が形成される領域 RESI には、多結晶シリコン膜 11 からなる抵抗素子 11A を形成し、容量素子が形成される領域 CAPA には、多結晶シリコン膜 11 からなる容量素子の下部電極 11B を形成することができる。また、領域 CAPA では、パターンニングされた ONO 膜 12 からなる容量素子の容量絶縁膜を形成することができる。

#### 【0021】

次に、上記ONO膜12および多結晶シリコン膜11のパターニングに用いたフォトレジスト膜を除去した後、図5に示すように、新たにフォトリソグラフィ技術によりパターニングされたフォトレジスト膜（図示は省略）をマスクとしてpチャネル型MISFETが形成される領域PMISの単結晶シリコン層3にn型の導電性を有する不純物イオン（たとえばP）を導入することにより、n型ウェル13を形成する。

#### 【0022】

続いて、上記n型ウェル13の形成に用いたフォトレジスト膜を除去した後、新たにフォトリソグラフィ技術によりパターニングされたフォトレジスト膜（図示は省略）をマスクとしてp型の導電性を有する不純物イオン（たとえばB）を導入することにより、nチャネル型パワーMISFETが形成される領域PWMISおよびnチャネル型MISFETが形成される領域NMISの単結晶シリコン層3にp型ウェル14を形成する。また、領域PMISにおける活性領域を取り囲むフィールド絶縁膜7の下部の単結晶シリコン層3にもp型ウェル14を形成する。このフィールド絶縁膜7の下部に形成されたp型ウェル14は、領域PMISにpチャネル型MISFETが形成された後において、チャンネルストップとして機能させることができる。

#### 【0023】

次に、上記p型ウェル14の形成に用いたフォトレジスト膜を除去した後、図6に示すように、新たにフォトリソグラフィ技術によりパターニングされたフォトレジスト膜（図示は省略）をマスクとしてp型の導電性を有する不純物イオン（たとえばBF<sub>2</sub>（二フッ化ホウ素））を導入することにより、領域NMISにp-型半導体領域15を形成する。このp-型半導体領域15を形成することにより、後の工程で領域NMISに形成されるnチャネル型MISFETのしきい値電圧を調整することができる。また、MISFETは、ゲート長が小さくなるに従って短チャネル効果によるパンチスルーの発生が懸念されるようになることから、そのp-型半導体領域15を形成することによって、その短チャネル効果を抑制することが可能となる。

#### 【0024】



次に、図7に示すように、上記p-半導体領域15の形成に用いたフォトレジスト膜を除去した後、基板1を洗浄する。続いて、基板1に800℃程度の熱処理を施すことにより、nチャネル型パワーMISFETが形成される領域PWMIS、nチャネル型MISFETが形成される領域NMISおよびpチャネル型MISFETが形成される領域PMISのそれぞれの活性領域の表面にゲート絶縁膜16を形成する。続いて、基板1上に不純物イオン（たとえばPまたはB）がドーパされた多結晶シリコン膜（第1導電性膜、第2シリコン膜）17、WSi（タングステンシリサイド（第1導電性膜、高融点金属シリサイド膜））膜18および酸化シリコン膜19を順次下層より積層する。これら多結晶シリコン膜17、WSi膜18および酸化シリコン膜19は、それぞれCVD法で堆積することができ、それぞれの膜厚を100nm程度、150nm程度および150nm程度とすることを例示できる。また、WSi膜18を堆積する代わりに、窒化チタン膜などのバリア金属膜およびW（タングステン（高融点金属膜））膜を下層より順次積層してもよい。

#### 【0025】

次に、図8に示すように、フォトリソグラフィ技術によってパターニングされたフォトレジスト膜（図示は省略）をマスクとしたエッチングにより、酸化シリコン膜19、WSi膜18および多結晶シリコン膜17をパターニングする。これにより、領域PWMISにおいては多結晶シリコン膜17およびWSi膜18からなるゲート電極20Aを形成し、領域CAPAにおいては下部電極11B上の領域（第1部分）に多結晶シリコン膜17およびWSi膜18からなる容量素子の上部電極20Bを形成し、領域NMIS、PMISにおいてはそれぞれ多結晶シリコン膜17およびWSi膜18からなるゲート電極20C、20Dを形成することができる。ゲート電極20A、20C、20Dを多結晶シリコン膜17およびWSi膜18を積層した構造とすることにより、ゲート電極20A、20C、20Dの配線抵抗を低減することができる。また、ここまでの工程により、領域CAPAにおいては、下部電極11Bと容量絶縁膜であるONO膜12と上部電極20Bとからなる容量素子Cを形成することができる。

#### 【0026】

上記酸化シリコン膜 19、WSi 膜 18 および多結晶シリコン膜 17 のパターニング時において、領域 CAPA では、ONO 膜 12 を形成する窒化シリコン膜 12B (図 3 参照) をエッチングストッパとし、下部電極 11B をオーバーエッチングから保護することができる。

#### 【0027】

上記したように、本実施の形態では、多結晶シリコン膜 17 および WSi 膜 18 からなるゲート電極 20A、20C、20D を形成したが、これらゲート電極 20A、20C、20D を上記抵抗素子 11A および容量素子 C の下部電極 11B と同様に多結晶シリコン膜 11 から形成する手段も考えられる。しかしながら、ゲート電極 20A、20C、20D を多結晶シリコン膜 11 から形成した場合には、その後の工程で酸化シリコン膜 19、WSi 膜 18 および多結晶シリコン膜 17 をパターニングした際にゲート電極 20A、20C、20D の側壁がエッチングされ、ゲート電極 20A、20C、20D の寸法が設計値と異なるものになってしまうことが懸念される。そのため、本実施の形態のように、ゲート電極 20A、20C、20D は、多結晶シリコン膜 17 および WSi 膜 18 から形成することが好ましい。

#### 【0028】

ここで、容量素子 C を MOS 型構成の容量素子とした場合を想定する。この場合、容量素子 C の容量値は容量素子 C に印加される電圧値に依存し、電圧が低くなるに従って容量値も低くなってしまう不具合を生じてしまうことになる。そこで、本実施の形態のように、多結晶シリコン膜 11 (図 2 参照) を下部電極 11B とし、ONO 膜 12 を容量絶縁膜とし、多結晶シリコン膜 17 および WSi 膜 18 を上部電極 20B とする容量素子 C とすることにより、そのような不具合を防ぐことが可能となる。

#### 【0029】

また、本実施の形態では、上記抵抗素子 11A を多結晶シリコン膜 11 から形成したが、多結晶シリコン膜 17 から形成する手段も考えられる。抵抗素子 11A を多結晶シリコン膜 17 から形成する場合には、ゲート電極 20A、20C、20D を多結晶シリコン膜 11 から形成する必要がある。これは、ゲート電極 2

0A、20C、20Dの抵抗と抵抗素子11Aの抵抗とは、異なる値でなければならないからである。ここで、たとえば多結晶シリコン膜11からなるゲート電極20A、20C、20Dを形成し、その後、nチャネル型パワーMISFET、スイッチング素子となるnチャネル型MISFETおよびpチャネル型MISFETのそれぞれのソース・ドレインとなる半導体領域を形成する場合を想定する。その半導体領域を形成した後、不純物イオンがドーピングされた多結晶シリコン膜17を基板1上に堆積し、基板1に熱処理を施すことによって多結晶シリコン膜17中に含まれる不純物イオンを良好に拡散させる。この熱処理によって、その多結晶シリコン膜17から抵抗素子11Aを形成した際に抵抗素子11Aを良好に活性化させることができる。ところが、この熱処理によって、nチャネル型パワーMISFET、スイッチング素子となるnチャネル型MISFETおよびpチャネル型MISFETのそれぞれのソース・ドレインとなる半導体領域が拡大してしまい、これらMISFETの特性が設計値とは異なるものとなってしまうことが懸念される。一方、その半導体領域の拡大を防ぐために、その熱処理の温度および熱処理に要する時間を低減した場合には、多結晶シリコン膜17中に含まれる不純物イオンを良好に拡散させることができなくなり、抵抗素子11Aを良好に活性化させることができなくなることが懸念される。そのため、本実施の形態のように、抵抗素子11Aを多結晶シリコン膜11から形成し、多結晶シリコン膜11に導入した不純物イオンを、抵抗素子11Aの形成後の製造工程における熱処理の履歴により抵抗素子11A（多結晶シリコン膜11）中に拡散させる手段を用いることが好ましい。それにより、上記MISFETのそれぞれのソース・ドレインとなる半導体領域が拡大してしまうことを防ぐことができる。その結果、これらMISFETを設計値通りの特性で形成することが可能となる。

#### 【0030】

また、抵抗素子11Aを多結晶シリコン膜17およびWSi膜18の2層の薄膜から形成した場合には、低抵抗のWSi膜18が存在することから、抵抗素子11Aの抵抗値を下げたまま、所望の抵抗値を得られなくなってしまうことが懸念される。そのため、本実施の形態のように、抵抗素子11Aを多結晶シリコ

ン膜 11 から形成する手段を用いることが好ましい。

#### 【0031】

ところで、上記容量素子 C と基板 1 との間で寄生容量の発生を防ぐために、フィールド絶縁膜 7 上に容量素子 C を形成する手段が考えられる。ここで、上部電極 20 B を形成する際には、フォトリソスト膜を塗布する前に酸化シリコン膜 19 上に反射防止膜を塗布するものである。本発明者らが行った実験によれば、フィールド絶縁膜 7 上に容量素子 C を形成する場合には、図 9 に示すように、フィールド絶縁膜 7 の上面と活性領域の表面との間で段差（本実施の形態においては 140 nm 程度）が生じていることから、下部電極 11 B 上においては、反射防止膜 B A R C が流れ落ちてしまい、十分に塗布できないことがわかった。反射防止膜 B A R C の塗布が不十分な場合には、上部電極 20 B を形成する際に用いたフォトリソスト膜のパターニング精度が低下してしまうことから、上部電極 20 B が所望の寸法で加工できなくなる不具合を生じてしまう。また、本発明者らが行った実験によれば、フィールド絶縁膜 7 上に容量素子 C を形成する場合において、下部電極 11 B を平面で活性領域から 50  $\mu$ m 程度以上離間して形成することによって、反射防止膜 B A R C の流れ落ちの影響を小さくし、下部電極 11 B 上において必要量の反射防止膜 B A R C を塗布できることがわかった。しかしながら、このように下部電極 11 B を活性領域から離間して形成することにより、本実施の形態のチップの小型化を阻害する不具合を生じてしまうことになる。そこで、前述したように、本実施の形態では、容量素子 C を活性領域上に形成するものである。それにより、本実施の形態のチップを小型化することが可能になる。ここで、容量素子 C を活性領域上に形成することによって、容量素子 C と基板 1 との間で寄生容量の発生が懸念されるが、その寄生容量を抑制する手段については後述する。

#### 【0032】

また、図 10 に示すように、本実施の形態においては、領域 P W M I S に形成される n チャネル型パワー M I S F E T のゲート長 L 1 が領域 P M I S に形成される p チャネル型 M I S F E T のゲート長 L 2 よりも小さくなるようにゲート電極 20 A、20 D をそれぞれパターニングする。ここで、その n チャネル型パワ

ーMISFETのゲート長 $L_1$ およびpチャネル型MISFETのゲート長 $L_2$ は、それぞれ $0.3\mu\text{m}$ 程度および $1\mu\text{m}$ 程度とすることを例示できる。なお、領域NMISに形成されるnチャネル型MISFETのゲート長も $1\mu\text{m}$ 程度とすることを例示できる。また、前記図8における領域PWMISは、図10中に示すA-A線に沿った断面を図示したものであり、領域NMIS、PMISは、図10中に示すB-B線に沿った断面を図示したものである。

### 【0033】

本実施の形態においては、高周波電力を増幅する目的から、nチャネル型パワーMISFETについては利得の向上が求められる。ここで、MISFETの利得はゲート長に反比例することから、nチャネル型パワーMISFETのゲート長が極力小さくなるようにゲート電極20Aをパターンニングする手段が考えられる。また、MISFETは、ゲート長が小さくなるに従って短チャネル効果によるパンチスルーの発生が懸念されるようになる。そこで、nチャネル型パワーMISFETが形成される領域PWMISにおいては、p型ウェル14および単結晶シリコン層3にp型の導電型を有する不純物イオンを導入することによって、nチャネル型パワーMISFETにおける短チャネル効果を抑制することを可能とする。一方、領域PMISに形成されるpチャネル型MISFETはスイッチング素子となることから、nチャネル型パワーMISFETに比べて大きな利得は求められない。そこで、そのpチャネル型MISFETについては、n型の導電型を有する不純物イオンの導入によって短チャネル効果を抑制する手段を用いずに、ゲート長を大きくすることによって短チャネル効果を抑制することを可能とする。すなわち、本実施の形態においては、上記したように領域PMISに形成されるpチャネル型MISFETのゲート長 $L_2$ が領域PWMISに形成されるnチャネル型パワーMISFETのゲート長 $L_1$ より大きくなるようにそれぞれのゲート電極20A、20Dをパターンニングするものである。それにより、そのpチャネル型MISFETにおける短チャネル効果を抑制するための不純物イオン導入工程を省略することができるので、本実施の形態の半導体装置の製造工程数を低減することができる。その結果、本実施の形態の半導体装置の製造コストを低減することができる。なお、領域NMISに形成されるnチャネル型MIS

FETは、pチャネル型MISFETに比べて短チャネル効果によるパンチスルーが発生しやすいので、本実施の形態においては、そのnチャネル型MISFETにおける短チャネル効果を抑制するための不純物イオンの導入（上記p-型半導体領域の形成）は行う。

#### 【0034】

上記酸化シリコン膜19、WSi膜18および多結晶シリコン膜17のパターニングに用いたフォトレジスト膜を除去した後、図11に示すように、新たにフォトリソグラフィ技術によりパターニングされたフォトレジスト膜（図示は省略）をマスクとして領域PWMISの単結晶シリコン層3にn型の導電型を有する不純物イオン（たとえばP）を導入することにより、n-型半導体領域21を形成する。続いて、基板1上のフォトレジスト膜を除去した後、新たにフォトリソグラフィ技術によりパターニングされたフォトレジスト膜（図示は省略）をマスクとしてp型ウェル14および領域PWMISの単結晶シリコン層3にn型の導電型を有する不純物イオン（たとえばAs）を導入することにより、領域PWMIS、NMISにそれぞれn+型半導体領域22A、22Bを形成する。ここまでの工程により、領域PWMISにおいてはn+型半導体領域22Aをソース・ドレインとするnチャネル型パワーMISFETQpwを形成することができ、領域NMISにおいてはn+型半導体領域22Bをソース・ドレインとするnチャネル型MISFETQnを形成することができる。

#### 【0035】

次に、基板1上のフォトレジスト膜を除去した後、新たにフォトリソグラフィ技術によりパターニングされたフォトレジスト膜（図示は省略）をマスクとして領域PWMISのp型ウェル14にp型の導電型を有する不純物イオン（たとえばB）を導入することにより、p-型半導体領域23を形成する。この時、その不純物イオンは、基板1の主面（素子形成面）に対して斜めに打ち込むようにする。このp-型半導体領域23を形成することによって、nチャネル型パワーMISFETQpwにおける短チャネル効果を抑制することができる。

#### 【0036】

ここで、たとえばp-型半導体領域23を形成する工程と同じ工程でp-型半導

体領域 15 を形成する場合を想定する。この場合、上記したように不純物イオンは基板 1 の主面に対して斜めに打ち込むことになることから、p-型半導体領域 15 が形成される領域がチップ内にばらつくことが懸念される。そのようなばらつきが生じた場合には、チップ内の複数の n チャンネル型 MISFETQn 間でしきい値電圧にばらつきが生じてしまうことになる。本実施の形態において、n チャンネル型 MISFETQn はスイッチング素子として形成されることから、チップ内の複数の n チャンネル型 MISFETQn 間でしきい値電圧にばらつきが生じてしまった状態では、スイッチング動作に支障をきたすことが懸念される。そのため、本実施の形態においては、n チャンネル型パワー MISFETQpw における短チャネル効果を抑制するための p-型半導体領域 23 と、n チャンネル型 MISFETQn における短チャネル効果を抑制するための p-型半導体領域 15 とを、それぞれ別の工程で形成している。それにより、複数の n チャンネル型 MISFETQn 間でしきい値電圧にばらつきが生じてしまうことを防ぐことができる。すなわち、n チャンネル型 MISFETQn によるスイッチング動作に支障をきたすことを防ぐことが可能となる。

#### 【0037】

続いて、基板 1 上のフォトリソグレイ膜を除去した後、新たにフォトリソグラフィ技術によりパターニングされたフォトリソグレイ膜（図示は省略）をマスクとして、領域 PMIS、領域 PWMIS および領域 CAPA に p 型の導電型を有する不純物イオン（たとえば  $\text{BF}_2$ ）を導入することにより、それぞれ p+型半導体領域 24、25、26 を形成する。ここまでの工程により、領域 PMIS においては、p+型半導体領域 24 をソース・ドレインとする p チャンネル型 MISFETQp を形成することができる。また、領域 PWMIS においては、p+型半導体領域 25 をチャネルストップとすることができる。p+型半導体領域 26 は、平面において n 型半導体領域 10 を取り囲む領域に形成される。

#### 【0038】

ここで、p 型の導電型を有する単結晶シリコン層 3（基板 1）を接地電位と電気的に接続し、上記の本実施の形態の容量素子 C に正または負の電圧を印加した際の容量素子 C の動作を図 12～図 14 を用いて説明する。図 12 および図 13

は容量素子Cに正または負の電圧を印加した際における容量素子C直下の単結晶シリコン層3の導電型を説明する要部断面図である。なお、図12および図13においては、容量素子C直下の単結晶シリコン層3の導電型をわかりやすくするために、n型半導体領域10およびp<sup>+</sup>型半導体領域26の図示は省略している。図14は、本発明者らが実験により得た、容量素子Cに印加した電圧と、容量素子Cと単結晶シリコン層3との間で発生する寄生容量との関係を示す説明図である。

#### 【0039】

図12に示すように、容量素子Cに負の電圧を印加した場合には、容量素子C直下の単結晶シリコン層3の表面に電荷が蓄積され、p型の電荷蓄積層27が形成される。そのため、容量素子Cおよび電荷蓄積層27を容量電極とし、酸化シリコン膜6を容量絶縁膜とする寄生容量が形成されることになる。容量値は容量電極間の距離が小さくなるに従って大きくなるものであり、前述したように、本実施の形態において酸化シリコン膜6は膜厚が15nm程度と薄いことから、容量素子Cと単結晶シリコン層3との間では、容量値の大きな寄生容量が形成されてしまうことになる（図14参照）。

#### 【0040】

また、図13に示すように、本実施の形態では、容量素子Cの直下の単結晶シリコン層3の表面にn型半導体領域10が形成されていることから、容量素子Cに正の電圧を印加した場合には、容量素子C直下の単結晶シリコン層3の表面にn型の反転層28が形成され、さらに反転層28の直下に空乏層29が形成される。このような反転層28および空乏層29が形成された場合には、容量素子Cおよび反転層28を容量電極とし酸化シリコン膜6を容量絶縁膜とする寄生容量と、反転層28および単結晶シリコン層3を容量電極とし空乏層29を容量絶縁膜とする寄生容量とが形成されることになる。ここで、容量素子Cと単結晶シリコン層3との間で形成される寄生容量は、容量素子Cと反転層28との間で形成される寄生容量と、反転層28と単結晶シリコン層3との間で形成される寄生容量とを直列に接続した合成容量となることから、その容量値を低減することができる（図14参照）。また、本実施の形態においては、平面においてp<sup>+</sup>型半導



体領域 26 が n 型半導体領域 10 を取り囲む領域に形成されていることから、上記反転層 28 および空乏層 29 が水平方向（基板の主面に沿った方向）に伸びていくことを防ぐことができる。それにより、容量電極の面積が増大することを防ぐことができるので、その寄生容量値が増大することを防ぐことができる。

#### 【0041】

一方、上記 n 型半導体領域 10 および p<sup>+</sup>型半導体領域 26 の形成のような基板処理を施さなかった場合において、容量素子 C に負の電圧を印加した場合には、基板処理を施した場合と同様に容量素子 C 直下の単結晶シリコン層 3 の表面に電荷が蓄積され、p 型の電荷蓄積層 27 が形成され、基板処理を施した場合と同様の寄生容量値を示す。一方、容量素子 C に正の電圧を印加した場合には、n 型半導体領域 10 が形成されていないことから空乏層 29 が形成されない。そのため、容量素子 C と単結晶シリコン層 3 との間では、MOS 型構成の容量素子と同様の容量特性を有する容量値の大きな寄生容量が形成されてしまうことになる（図 14 参照）。

#### 【0042】

すなわち、本実施の形態においては、容量素子 C の直下の単結晶シリコン膜 3 の表面に n 型半導体領域 10 を形成し、平面において n 型半導体領域 10 を取り囲む領域に p<sup>+</sup>型半導体領域 26 を形成する。さらに、容量素子 C には正の電圧を印加するようにする。それにより、容量素子 C と単結晶シリコン層 3（基板 1）との間で形成される寄生容量の容量値を低減することができる。その結果、その寄生容量が本実施の形態のチップに形成される回路の動作に支障を来たしてしまうことを防ぐことが可能となる。

#### 【0043】

次に、p<sup>+</sup>型半導体領域 24、25、26 の形成に用いたフォトレジスト膜を除去した後、図 15 に示すように、基板 1 上に酸化シリコン膜（第 2 絶縁膜）30 を堆積する。続いて、フォトリソグラフィ技術によりパターンニングされたフォトレジスト膜（図示は省略）をマスクとしたエッチングにより、接続孔 31A～31F を穿孔する。接続孔 31A は領域 PWMIS にて n<sup>+</sup>型半導体領域 22A および p<sup>+</sup>型半導体領域 25 と接続し、接続孔 31B は領域 RESI にて抵抗素

子 11A と接続し、接続孔（第 2 開孔）31C は領域 CAPA にて抵抗素子 C（図 11 参照）の下部電極 11B の第 2 部分と接続し、接続孔（第 1 開孔）31D は領域 CAPA にて抵抗素子 C の上部電極 20B と接続し、接続孔 31E は領域 NMIS にて n+ 型半導体領域 22B と接続し、接続孔 31F は領域 PMIS にて p+ 型半導体領域 24 と接続する。この時、ゲート電極 20A、20C、20D に達する接続孔も穿孔されるが、図 15 中での図示は省略する。

#### 【0044】

接続孔 31D を穿孔する際には、酸化シリコン膜に比べてエッチング選択比の小さい WSi 膜 18 をエッチングストッパとすることができるので、接続孔 31D が下部電極 11B に達してしまうことを防ぐことができる。すなわち、後の工程で接続孔 31D 内にプラグを形成した際に、そのプラグにより抵抗素子 C の上部電極 20B と下部電極 11B とが短絡してしまう不具合を防ぐことができる。

#### 【0045】

ここで、WSi 膜 18 をエッチングストッパとして用いずに接続孔 31D を穿孔する手段について検討してみる。その場合、たとえば図 16 に示すように、容量素子 C の上部電極となる多結晶シリコン膜 17 および酸化シリコン膜 19 をフィールド絶縁膜 7 上に延在するようにパターンニングし、そのフィールド絶縁膜 7 上にて多結晶シリコン膜 17 に達する接続孔 31D を穿孔する手段が考えられる。この場合、多結晶シリコン膜 17 を堆積する前に、たとえば熱処理により下部電極 11B の側壁に酸化シリコン膜 12D を形成し、下部電極 11B と多結晶シリコン膜 17 とが短絡してしまうことを防ぐ必要がある。このような手段を用いることにより、WSi 膜 18 をエッチングストッパとして用いることなく、接続孔 31D を下部電極 11B に達しないように穿孔することが可能となる。しかしながら、多結晶シリコン膜 17 および酸化シリコン膜 19 をフィールド絶縁膜 7 上に延在するようにパターンニングすることから、容量素子 C が水平方向に大きくなってしまい、本実施の形態のチップの小型化を阻害してしまうことが懸念される。そのため、本実施の形態のように、容量素子 C の上部電極 20B は、多結晶シリコン膜 17 および WSi 膜 18 から形成し、下部電極 11B 上にてパターンニングすることが好ましい。また、上部電極 20B を下部電極 11B 上にてパター

ニングし、容量素子Cを活性領域上にて形成することが可能となるので、本実施の形態のチップの小型化を実現することができる。

#### 【0046】

次に、接続孔31A～31Fの穿孔に用いたフォトレジスト膜を除去した後、図17および図18に示すように、接続孔31A～31Fの内部およびゲート電極20A、20C、20Dに達する接続孔の内部を含む酸化シリコン膜30上に、膜厚30nm程度のTi（チタン）膜および膜厚80nm程度のTiN（窒化チタン）膜を順次下層より堆積する。続いて、基板1に650℃程度の熱処理を施した後、基板1上に上記接続孔を埋め込む膜厚700nm程度のW（タングステン）膜を堆積する。次いで、エッチバック法により、酸化シリコン膜30上のW膜、TiN膜およびTi膜を除去することにより、上記接続孔内に、TiN膜およびTi膜をバリア導体膜としW膜を主導電層とするプラグ32を形成することができる。なお、図18は、そのプラグ18の形成時におけるnチャネル型パワーMISFETQpw、nチャネル型MISFETQnおよびpチャネル型MISFETQpのそれぞれのゲート電極20A、20C、20Dの付近を拡大した要部平面図である。また、図17における領域PWMISは図18中のA-A線に沿った断面を図示したものであり、領域NMIS、PMISは、図18中のB-B線に沿った断面を図示したものである。

#### 【0047】

次に、図19に示すように、基板1上に、たとえば膜厚10nm程度のTi膜、Cu（銅）およびSi（シリコン）を含む膜厚400nm程度のアルミニウム合金膜、膜厚10nm程度のTi膜および膜厚75nm程度のTiN膜を順次下層より堆積することによって積層膜（第2導電性膜）を形成する。続いて、フォトリソグラフィ技術によってパターニングされたフォトレジスト膜（図示は省略）をマスクとしてその積層膜をドライエッチングすることにより、その積層膜からなりプラグ32と接続する配線（第1配線、第2配線）33を形成する。

#### 【0048】

ここで、図20および図21は、それぞれ上記配線33が形成された際の領域RESIおよび領域CAPAの要部を示した平面図であり、配線33はハッチン

グを付して示してある。また、図 19 中の領域 RES I、CAPA は、それぞれ図 20 中の C-C 線および図 21 中の D-D 線に沿った断面を図示したものである。

#### 【0049】

図 20 に示すように、本実施の形態においては、1 本の配線 33 と抵抗素子 11A との間には 2 本のプラグ 32（接続孔 31B）が形成されているが、図 19 においては、これら配線 33、抵抗素子 11A およびプラグ 32（接続孔 31B）の位置関係をわかりやすくするために、プラグ 32（接続孔 31B）については 1 本のみの図示としている。また、図 20 では、1 本の配線 33 と抵抗素子 11A との間にて 2 本のプラグ 32（接続孔 31B）が配置された例を図示したが、プラグ 32（接続孔 31B）の数はこれに限定されるものではない。

#### 【0050】

また、図 21 に示すように、本実施の形態においては、一つの配線 33 と容量素子 C の下部電極 11B との間には多数のプラグ 32（接続孔 31C）が形成され、他の配線 33 と容量素子 C の上部電極 20B との間には多数のプラグ 32（接続孔 31D）が形成されている。D-D 線に沿った断面においては、配線 33 と上部電極 20B とを接続するプラグ 32（接続孔 31D）が多数現れることになるが、図 19 においては、配線 33 およびプラグ 32（接続孔 31C、31D）の位置関係をわかりやすくするために、配線 33 と上部電極 20B とを接続するプラグ 32（接続孔 31D）については 1 本のみの図示としている。このように、配線 33 と下部電極 11B との間および配線 33 と上部電極 20B との間に多数のプラグ 32 を設けることにより、たとえば 1 本のプラグで配線 33 と下部電極 11B との間および配線 33 と上部電極 20B との間を接続する場合に比べて、下部電極 11B および上部電極 20B の抵抗値の低減ができて、容量素子 C の寄生抵抗値を低減することができる。その結果、その寄生抵抗が本実施の形態のチップに形成される回路の動作に支障を来たしてしまうことを防ぐことが可能となる。

#### 【0051】

次に、配線 33 のパターンニングに用いたフォトリジスト膜を除去した後、図 2

2に示すように、基板1上に酸化シリコン膜34を堆積する。続いて、フォトリソグラフィ技術によりパターニングされたフォトレジスト膜をマスクとして酸化シリコン膜34をエッチングすることにより、配線33に達する接続孔35を穿孔する。続いて、そのフォトレジスト膜を除去した後、接続孔35の内部を含む酸化シリコン膜34上に、たとえば膜厚30nm程度のTi膜および膜厚100nm程度のTiN膜を順次下層より堆積することによってバリア導体膜を形成する。続いて、そのバリア導体膜上にたとえば膜厚20nm程度のTi膜およびCuとSiとを含む膜厚1200nm程度のアルミニウム合金膜を順次下層より堆積することによって、前記バリア導体膜、Ti膜およびアルミニウム合金膜からなる積層膜を形成する。次いで、フォトリソグラフィ技術によりパターニングされたフォトレジスト膜をマスクとしてその積層膜をエッチングすることにより、配線36を形成する。

#### 【0052】

続いて、上記配線36のパターニングに用いたフォトレジスト膜を除去した後、基板1上に膜厚600nm程度の酸化シリコン膜および膜厚500nm程度の窒化シリコン膜を順次下層より堆積し、その酸化シリコン膜および窒化シリコン膜からなる絶縁膜37を形成する。

#### 【0053】

次に、図23に示すように、基板1の裏面を研削することによって半導体基板2の裏面を保護していた酸化シリコン膜4を除去する。続いて、基板1の裏面に、たとえば膜厚50nm程度のNi（ニッケル）膜38A、膜厚100nm程度のTi膜38B、膜厚200nm程度のNi膜38Cおよび膜厚100nm程度のAu（金）膜38Dをスパッタリング法によって順次堆積することにより、Ni膜38A、Ti膜38B、Ni膜38CおよびAu膜38Dからなる裏面電極38を形成する。その後、基板1を切断することによって個々のチップへと分割し、本実施の形態の半導体装置を製造する。

#### 【0054】

上記したような本実施の形態によれば、工程数を増やすことなく所望の特性のnチャネル型パワーMISFETQpw（図11参照）および抵抗素子11A（

図 1 1 参照) と容量素子 C (図 1 1 参照) と n チャネル型 M I S F E T Q n (図 1 1 参照) と p チャネル型 M I S F E T Q p (図 1 1 参照) とを含む制御用 C M O S 回路を一つのチップに形成することが可能となる。それにより、本実施の形態の半導体装置の製造コストの上昇を抑制することができる。また、それら n チャネル型パワー M I S F E T Q p w および制御用 C M O S 回路を一つのチップに形成できるので、本実施の形態のチップを用いて形成したシステム (たとえば高周波電力増幅装置) の小型化を実現することができる。

#### 【 0 0 5 5 】

次に、上記の本実施の形態の半導体装置であるチップを用いて形成した高周波電力増幅装置について図 2 4 および図 2 5 を用いて説明する。

#### 【 0 0 5 6 】

本実施の形態の高周波電力増幅装置は、使用周波数が約 8 0 0 M H z ~ 9 0 0 M H z (第 1 周波数帯) の G S M (Global System for Mobile Communication) 方式および使用周波数が約 1 . 7 G H z ~ 1 . 8 G H z (第 2 周波数帯) の D C S (Digital Cellular System) 方式の 2 方式を組み込んだデュアルバンド型の送信用パワーアンプであり、図 2 4 は、この送信用パワーアンプの要部の等価回路図である。

#### 【 0 0 5 7 】

図 2 4 に示すように、本実施の形態の高周波電力増幅装置は、第 1 の増幅系として G S M 方式用の増幅系 (第 1 回路) e と、第 2 の増幅系として D C S 方式用の増幅系 (第 2 回路) f とを有している。増幅系 e および増幅系 f は、それぞれ使用する電子部品の性能は異なるものもあるが、回路構成は同一となっている。従って、増幅系 e の説明において、増幅系 e に対応する増幅系 f の部品の記号を括弧内に示し、増幅系 f の説明とする。

#### 【 0 0 5 8 】

増幅系 e での外部電極端子は、入力端子としての P i n - G S M (増幅系 f では P i n - D C S) 、出力端子としての P o u t - G S M (増幅系 f では P o u t - D C S) 、第 1 基準電位 (電源電位) としての V d d - G S M (増幅系 f では V d d - D C S) 、バイアス端子としての V a p c - G S M (増幅系 f では V

a p c - D C S) である。

#### 【0059】

P i n - G S M ( P i n - D C S) と P o u t - G S M ( P o u t - D C S) との間には3段の増幅段が従属接続されている。初段増幅段、第2段増幅段および第3段増幅段(最終段増幅段)は、トランジスタQ1、Q2、Q3(Q4、Q5、Q6)で形成されている。各増幅段を構成するトランジスタのそれぞれは、その段への入力信号及びバイアス電位を受ける制御端子(ゲート電極)と、その段の出力信号を送出する第1の端子(ドレイン電極)と、その段のための基準電位(GND電位)を受けるための第2の端子(ソース電極)とからなっている。

#### 【0060】

P i n - G S M ( P i n - D C S) は整合回路L1(L8)を介してトランジスタQ1(Q4)のゲート電極に接続されている。増幅系は3段構成であることから、第2段のトランジスタおよび第3段のトランジスタのゲート電極は共に前段のトランジスタのドレイン電極に整合回路L3(L10)、L5(L12)を介して接続されている。最終段増幅段である出力段となるトランジスタQ3(Q6)のドレイン電極は、整合回路L7(L14)を介してP o u t - G S M ( P o u t - D C S) に接続されている。各トランジスタQ1、Q2、Q3(Q4、Q5、Q6)のドレイン電極は整合回路L2、L4、L6(L9、L11、L13)を介してV d d - G S M ( V d d - D C S) に接続されている。

#### 【0061】

各トランジスタQ1、Q2、Q3(Q4、Q5、Q6)のゲート電極は、それぞれ抵抗R1、R2、R3(R4、R5、R6)、オペアンプOAMP1、OAMP2、OAMP3(OAMP4、OAMP5、OAMP6)およびバイアス制御回路を介してV a p c - G S M ( V a p c - D C S) に接続されている。

#### 【0062】

図24中において、CHIPで示す領域が上記の本実施の形態の製造方法によって製造されたチップである。すなわち、トランジスタQ1、Q2(Q4、Q5)は、上記nチャネル型パワーMISFETQpw(図11参照)から形成することができる。また、CMOSで示す領域が制御用CMOS回路(アナログ回路

）であり、上記の本実施の形態の製造方法によって形成された抵抗素子 11A（図 11 参照）、容量素子 C（図 11 参照）、スイッチング素子となる n チャンネル型 MISFET Q<sub>n</sub>（図 11 参照）および p チャンネル型 MISFET Q<sub>p</sub>（図 11 参照）が含まれる。また、その制御用 CMOS 回路（アナログ回路）は、GSM 用の増幅系 e または DCS 用の増幅系 f の切り替え動作（選択）を行うものである。

#### 【0063】

図 25 は、上記本実施の形態のチップの概要およびチップの電極パッド（ゲート電極およびドレイン電極）とボンディングワイヤとチップ外部のボンディングパッドとの位置関係を示す平面図である。

#### 【0064】

図 25 に示すように、本実施の形態においては、上記トランジスタ Q<sub>1</sub>、Q<sub>2</sub>、Q<sub>4</sub>、Q<sub>5</sub> は、それぞれ平面矩形のチップの 4 つの角部に配置している。それにより、GSM 方式用の増幅系 e のトランジスタ Q<sub>1</sub>、Q<sub>2</sub> および DCS 方式用の増幅系 f のトランジスタ Q<sub>4</sub>、Q<sub>5</sub> においては、ゲート電極に接続されるワイヤ（第 1 ワイヤ）41 の延在方向（第 1 方向）と、ドレイン電極に接続されるワイヤ（第 2 ワイヤ）42 の延在方向（第 2 方向）とが相互に直交するように配置することができる。その結果、入力電力と出力電力との間でのクロストークを抑えることができる。なお、両ワイヤを相互に直交させなくとも、直交に近い交差状態としてもクロストークの抑止は可能である。ワイヤ 41 の他端は、たとえばチップがボンディングされた実装基板に形成されている配線の一部であるボンディングパッド 43 に接続されている。

#### 【0065】

上記のような本実施の形態の高周波電力増幅装置は、たとえば GSM 方式および DCS 方式の二つの方式を切り替えて使用するデュアルモードの移動体通信機器などに用いることができる。

#### 【0066】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱



しない範囲で種々変更可能であることは言うまでもない。

#### 【0067】

前記実施の形態においては、pチャネル型MISFETのゲート長を1 $\mu$ m程度とする場合について例示したが、1 $\mu$ m程度以上としても良い。

#### 【0068】

##### 【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下の通りである。

#### 【0069】

すなわち、抵抗素子および容量素子の下部電極を第1導電性膜から形成し、パワーMISFETのゲート電極と容量素子の上部電極と前記パワーMISFET以外の第1導電型の第1MISFETおよび第2導電型の第2MISFETのそれぞれのゲート電極とを第1導電性膜から形成するので、工程数を増やすことなく所望の特性のパワーMISFET、抵抗素子、容量素子、第1MISFETおよび第2MISFETを一つのチップに形成することができる。

##### 【図面の簡単な説明】

##### 【図1】

本発明の一実施の形態である半導体装置の製造方法を説明する要部断面図である。

##### 【図2】

図1に続く半導体装置の製造工程中の要部断面図である。

##### 【図3】

本発明の一実施の形態である半導体装置の製造工程中の要部断面図である。

##### 【図4】

図2に続く半導体装置の製造工程中の要部断面図である。

##### 【図5】

図4に続く半導体装置の製造工程中の要部断面図である。

##### 【図6】

図5に続く半導体装置の製造工程中の要部断面図である。

**【図 7】**

図 6 に続く半導体装置の製造工程中の要部断面図である。

**【図 8】**

図 7 に続く半導体装置の製造工程中の要部断面図である。

**【図 9】**

本発明の一実施の形態である半導体装置の製造工程と比較および検討した製造工程を説明する要部断面図である。

**【図 1 0】**

本発明の一実施の形態である半導体装置の製造工程中の要部平面図である。

**【図 1 1】**

図 8 に続く半導体装置の製造工程中の要部断面図である。

**【図 1 2】**

本発明の一実施の形態である半導体装置が有する容量素子に負の電圧を印加した際の容量素子直下の基板の導電性を説明する要部断面図である。

**【図 1 3】**

本発明の一実施の形態である半導体装置が有する容量素子に正の電圧を印加した際の容量素子直下の基板の導電性を説明する要部断面図である。

**【図 1 4】**

本発明の一実施の形態である半導体装置が有する容量素子に印加する電圧と、その容量素子と容量素子が形成された基板との間で発生する寄生容量との関係を示す説明図である。

**【図 1 5】**

図 1 1 に続く半導体装置の製造工程中の要部断面図である。

**【図 1 6】**

本発明の一実施の形態である半導体装置の製造工程と比較および検討した製造工程中の要部断面図である。

**【図 1 7】**

図 1 5 に続く半導体装置の製造工程中の要部断面図である。

**【図 1 8】**

本発明の一実施の形態である半導体装置の製造工程中の要部平面図である。

【図 1 9】

図 1 7 に続く半導体装置の製造工程中の要部断面図である。

【図 2 0】

本発明の一実施の形態である半導体装置の製造工程中の要部平面図である。

【図 2 1】

本発明の一実施の形態である半導体装置の製造工程中の要部平面図である。

【図 2 2】

図 1 9 に続く半導体装置の製造工程中の要部断面図である。

【図 2 3】

図 2 2 に続く半導体装置の製造工程中の要部断面図である。

【図 2 4】

本発明の一実施の形態である半導体装置を含む高周波電力増幅装置の等価回路図である。

【図 2 5】

本発明の一実施の形態である半導体装置であるチップの電極パッドとボンディングワイヤとチップ外部のボンディングパッドとの位置関係を説明する平面図である。

【符号の説明】

- 1 基板
- 2 半導体基板
- 3 単結晶シリコン層
- 4 酸化シリコン膜
- 5  $p^{++}$ 型半導体領域
- 6 酸化シリコン膜
- 7 フィールド絶縁膜
- 10 n型半導体領域
- 11 多結晶シリコン膜（第1シリコン膜）
- 11A 抵抗素子

- 1 1 B 下部電極
  - 1 2 O N O 膜 (第 1 絶縁膜)
    - 1 2 A 酸化シリコン膜 (第 1 酸化シリコン膜)
    - 1 2 B 窒化シリコン膜 (第 1 窒化シリコン膜)
    - 1 2 C 酸化シリコン膜 (第 3 酸化シリコン膜)
      - 1 2 C 1 酸化シリコン膜 (第 2 酸化シリコン膜)
      - 1 2 C 2 酸化シリコン膜
    - 1 2 D 酸化シリコン膜
  - 1 3 n 型ウェル
  - 1 4 p 型ウェル
  - 1 5 p-型半導体領域
  - 1 6 ゲート絶縁膜
  - 1 7 多結晶シリコン膜 (第 1 導電性膜、第 2 シリコン膜)
  - 1 8 W S i 膜 (第 1 導電性膜、高融点金属シリサイド膜)
  - 1 9 酸化シリコン膜
- 2 0 A、2 0 C、2 0 D ゲート電極
- 2 0 B 上部電極
  - 2 1 n-型半導体領域
- 2 2 A、2 2 B n+型半導体領域 (ソース・ドレイン)
  - 2 3 p-型半導体領域
  - 2 4 p+型半導体領域 (ソース・ドレイン)
- 2 5、2 6 p+型半導体領域
  - 2 7 電荷蓄積層
  - 2 8 反転層
  - 2 9 空乏層
  - 3 0 酸化シリコン膜 (第 2 絶縁膜)
- 3 1 A 接続孔
- 3 1 B 接続孔
- 3 1 C 接続孔 (第 2 開孔)

3 1 D 接続孔 (第 1 開孔)  
3 1 E 接続孔  
3 1 F 接続孔  
3 2 プラグ  
3 3 配線 (第 1 配線、第 2 配線)  
3 4 酸化シリコン膜  
3 5 接続孔  
3 6 配線  
3 7 絶縁膜  
3 8 裏面電極  
3 8 A、3 8 C N i 膜  
3 8 B T i 膜  
3 8 D A u 膜  
4 1 ワイヤ (第 1 ワイヤ)  
4 2 ワイヤ (第 2 ワイヤ)  
4 3 ボンディングパッド  
B A R C 反射防止膜  
C 容量素子  
C A P A 領域 (第 1 領域)  
N M I S 領域 (第 4 領域)  
P M I S 領域 (第 5 領域)  
P W M I S 領域 (第 3 領域)  
R E S I 領域 (第 2 領域)  
e 増幅系 (第 1 回路)  
f 増幅系 (第 2 回路)  
L 1 ~ L 1 4 整合回路  
Q 1 ~ Q 6 トランジスタ  
Q n nチャネル型M I S F E T  
Q p pチャネル型M I S F E T

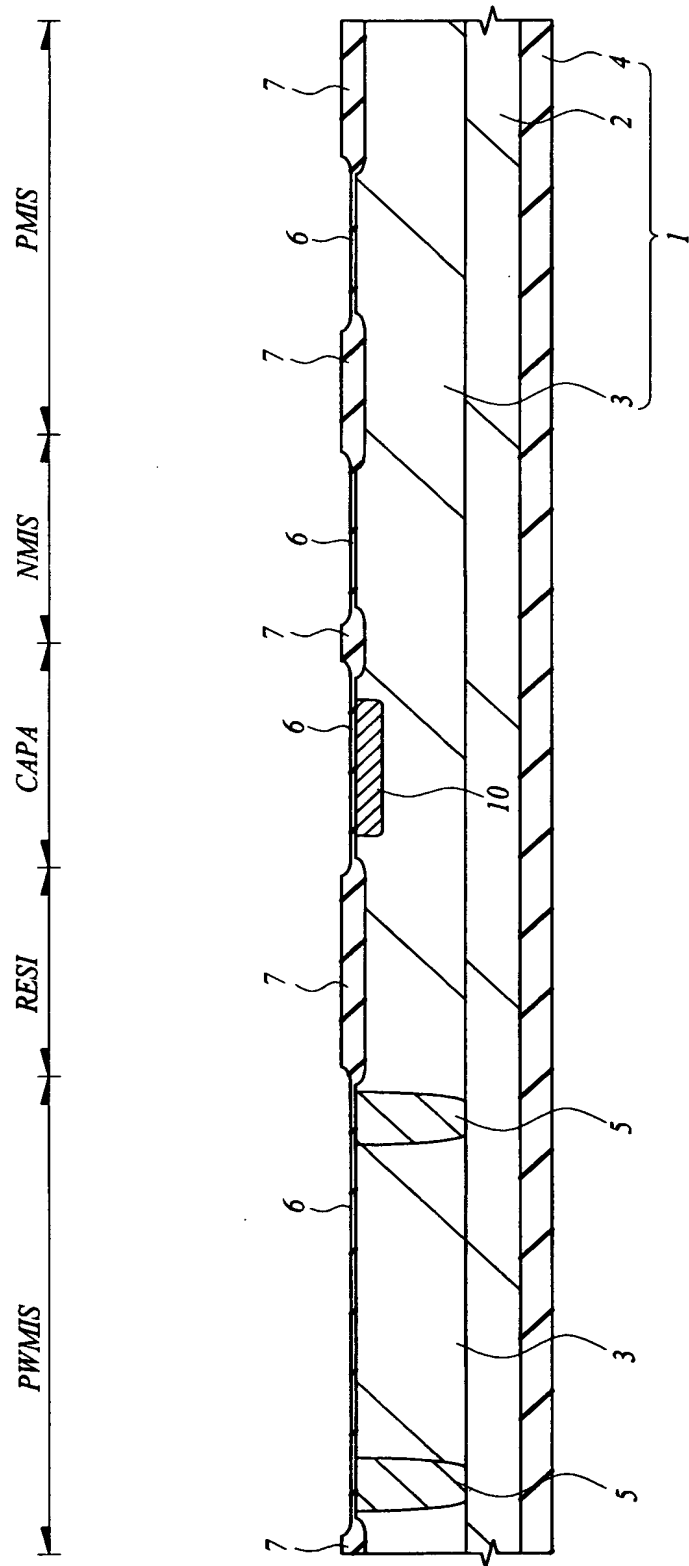
Q p w n チャネル型パワー M I S F E T

R 1 ~ R 6 抵抗

【書類名】 図面

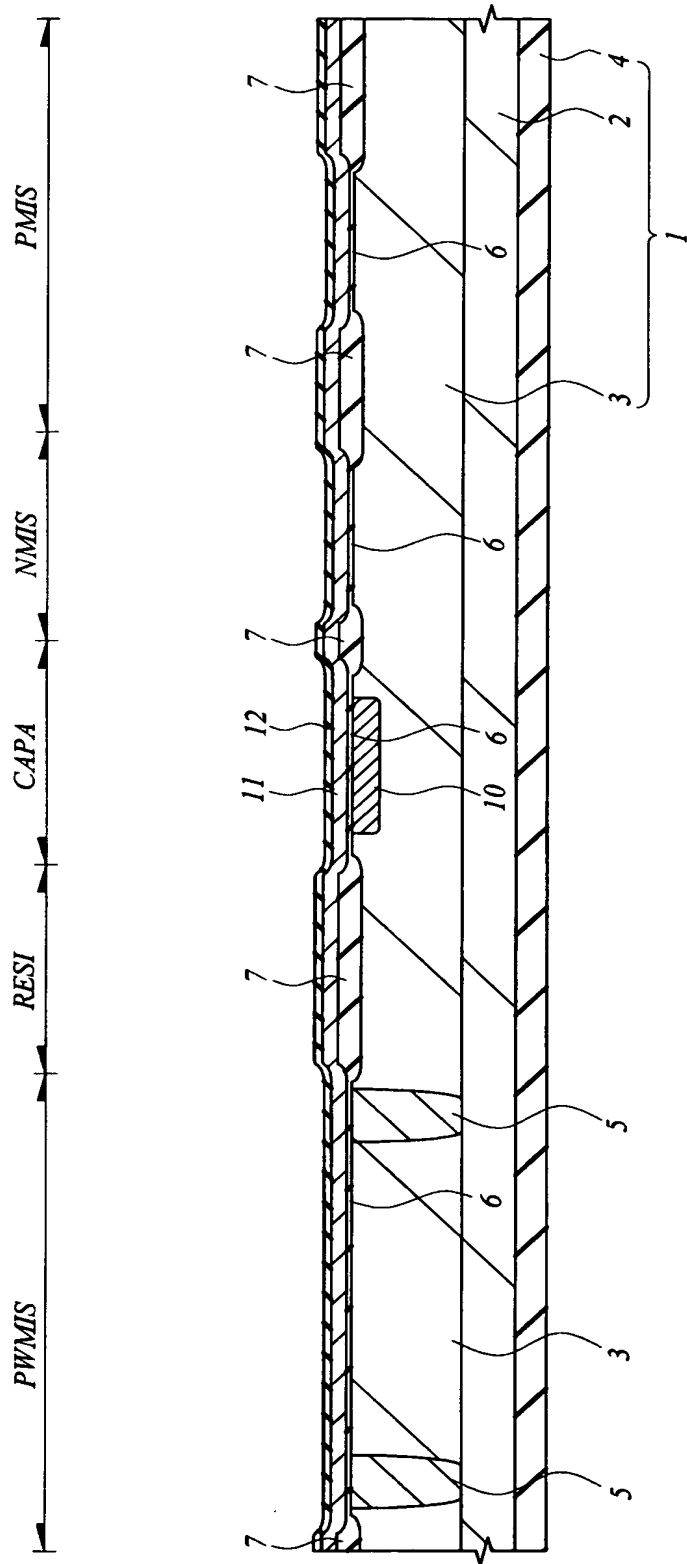
【図 1】

図 1



【図 2】

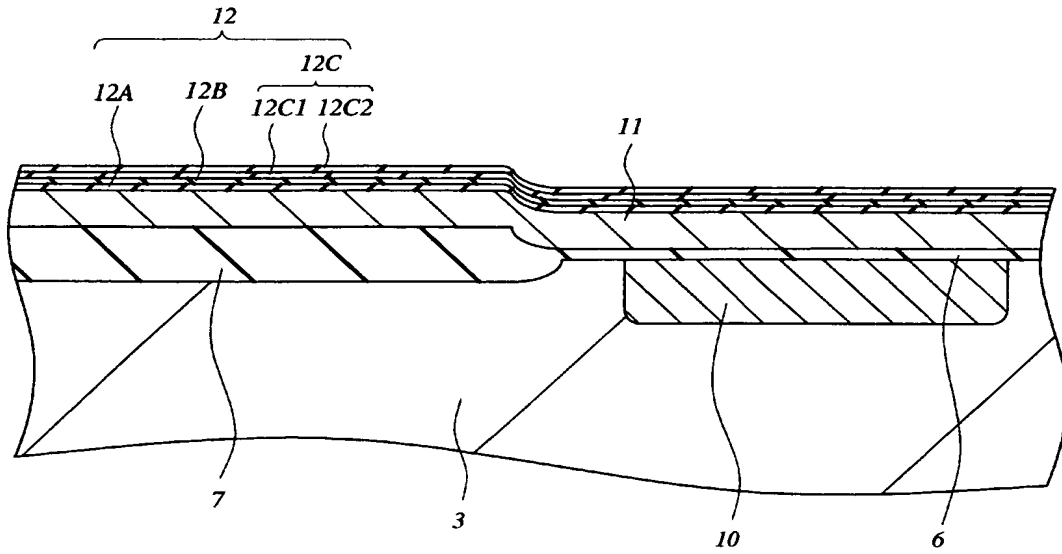
図 2





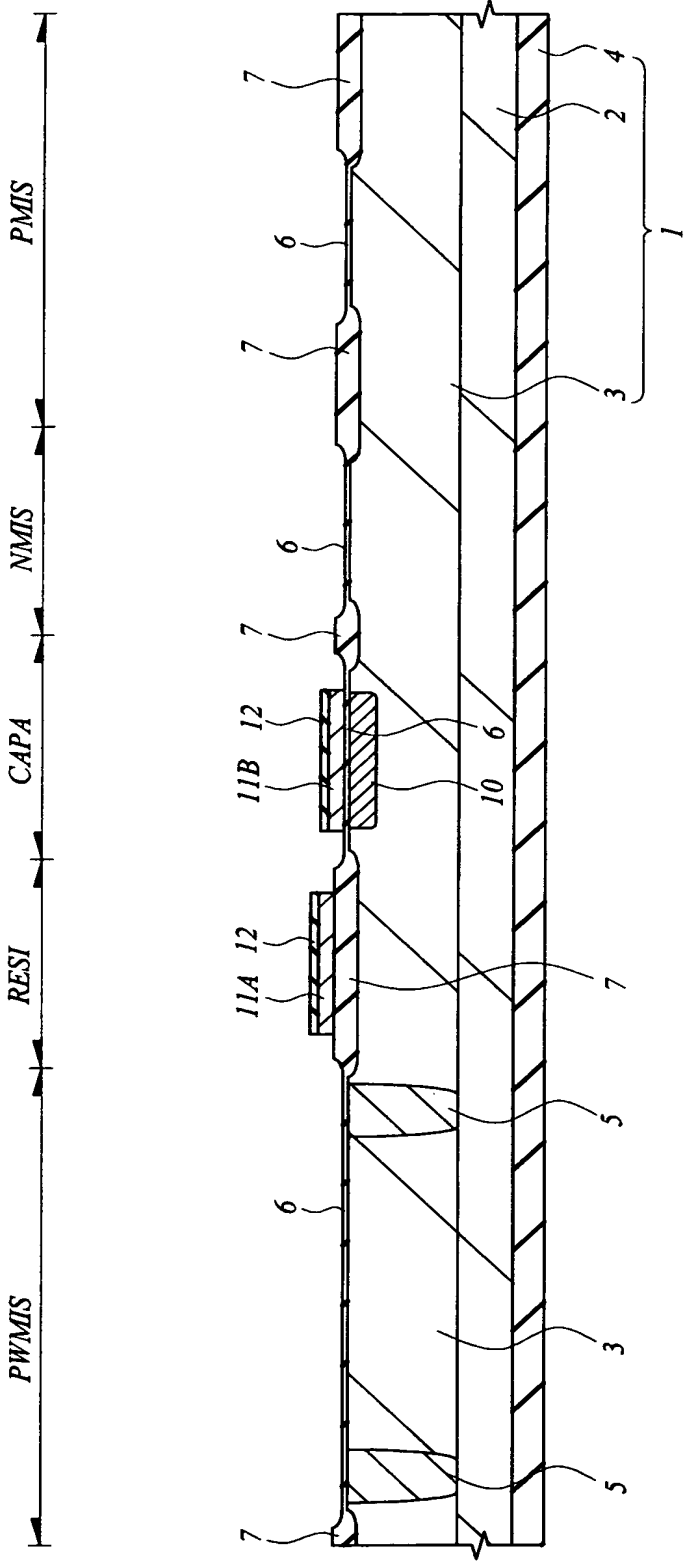
【図 3】

図 3



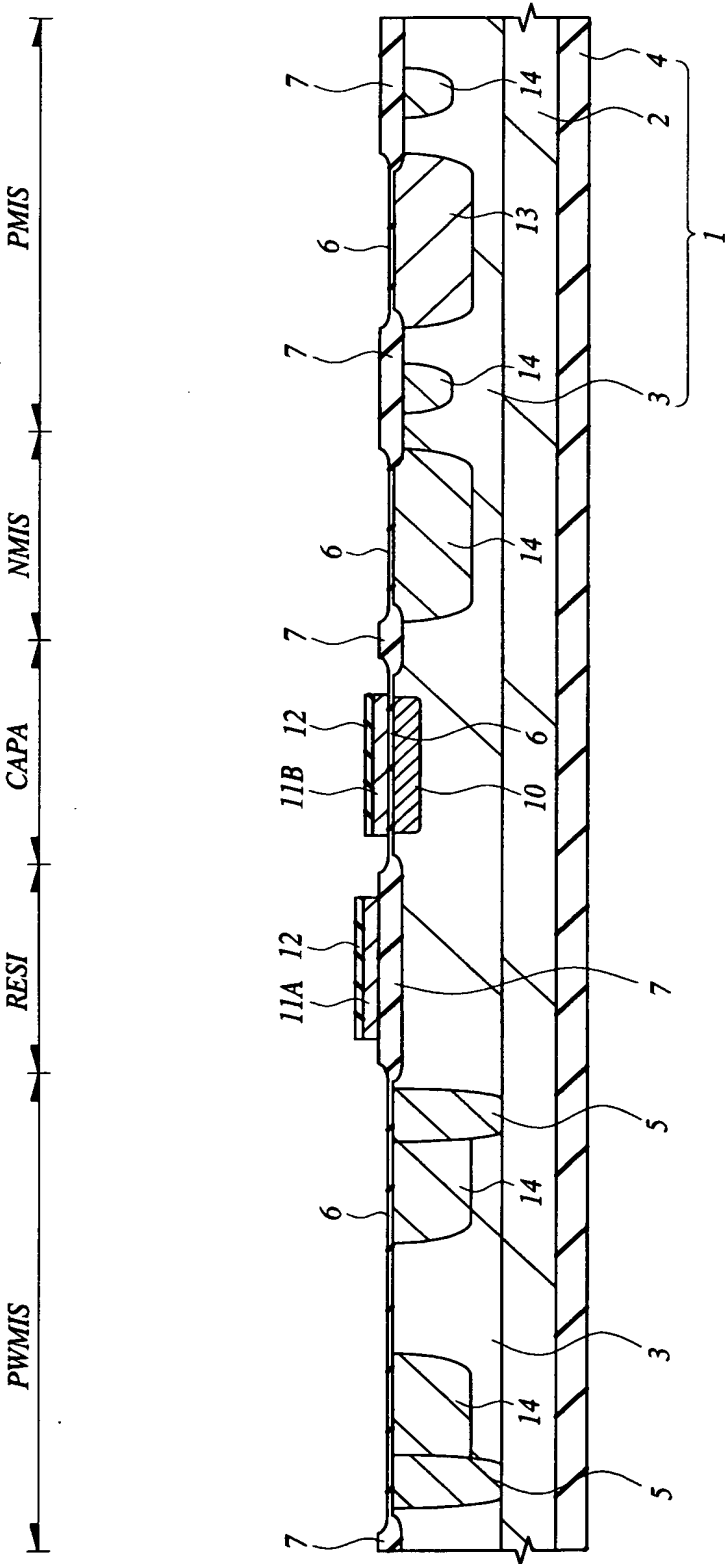
【図 4】

4



【図 5】

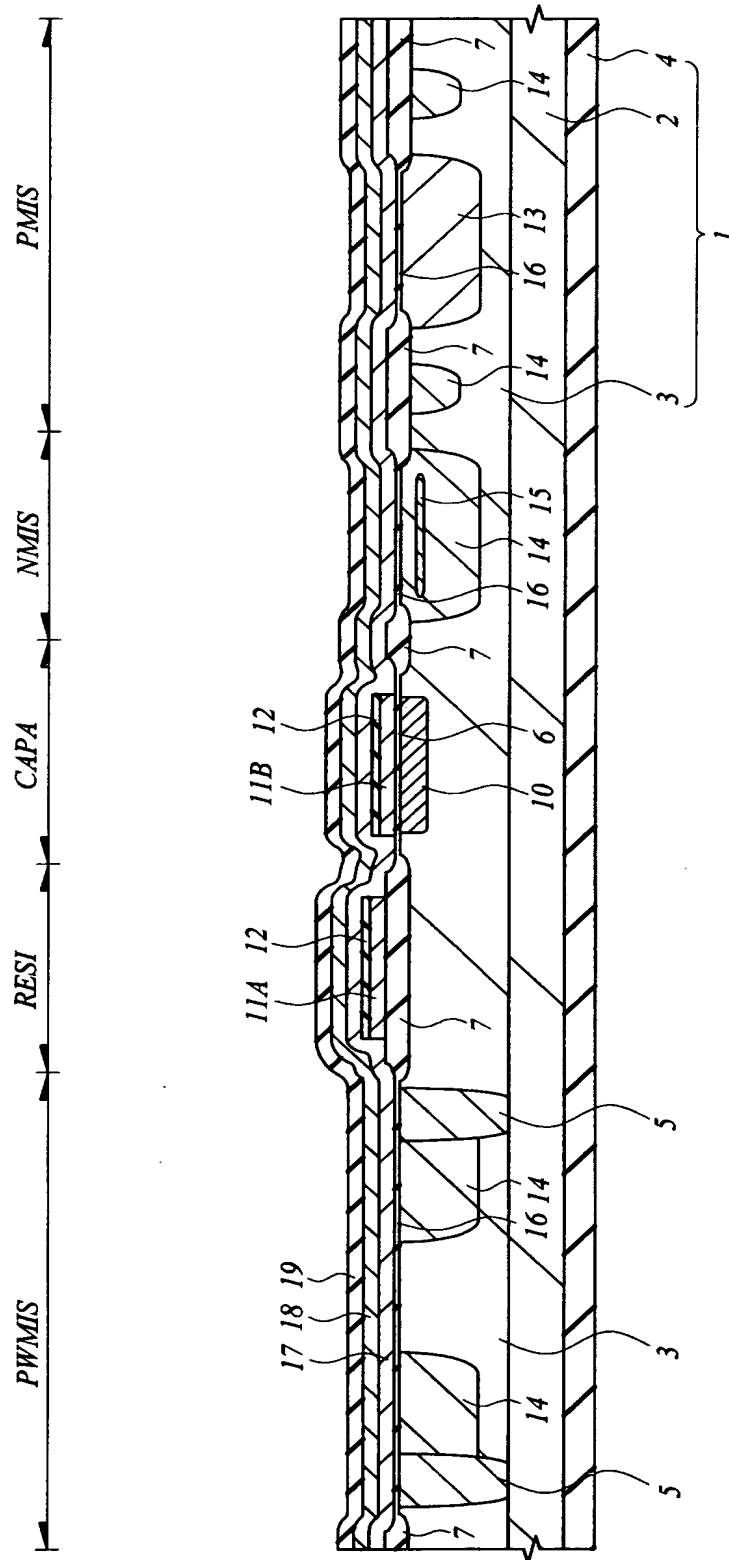
5





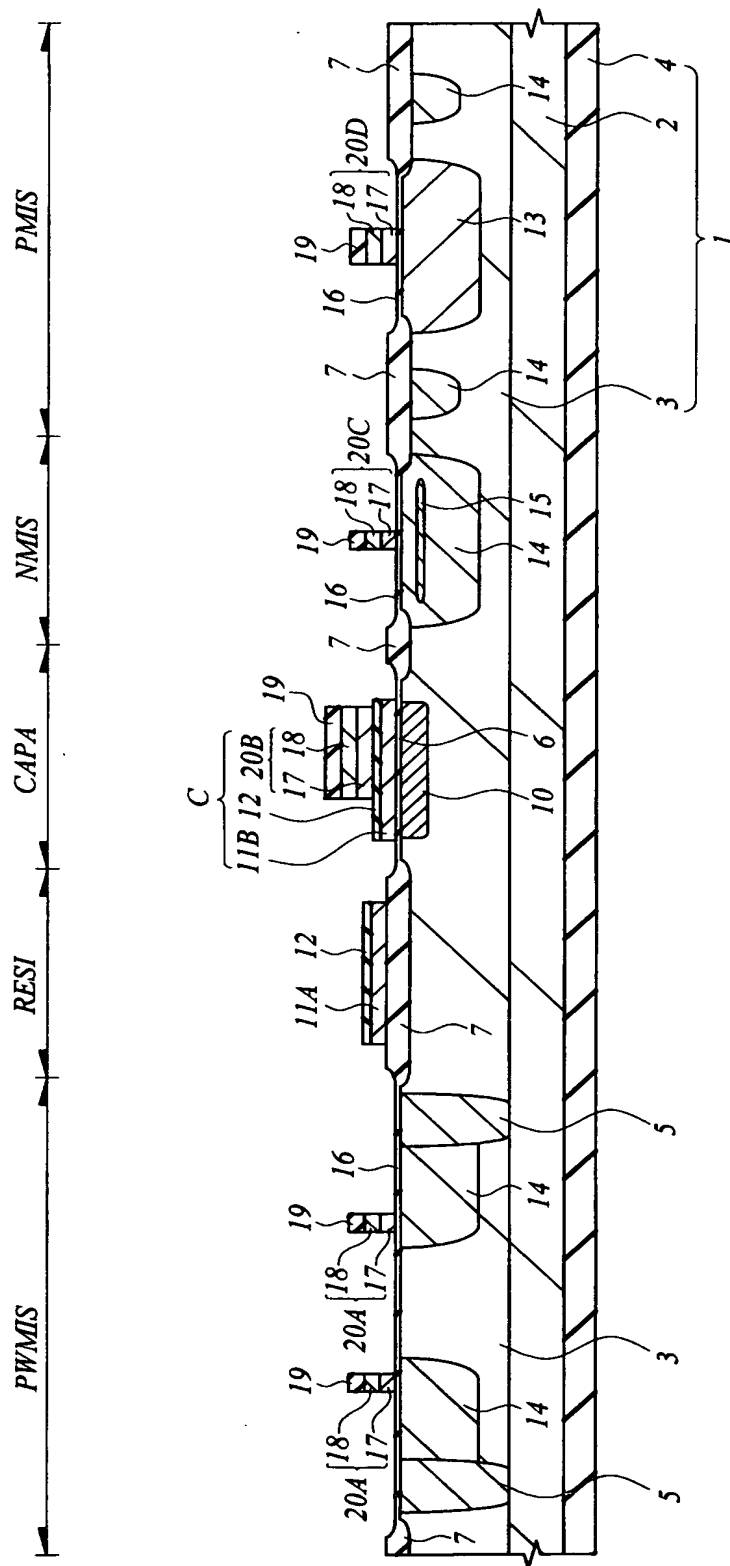
【図 7】

7

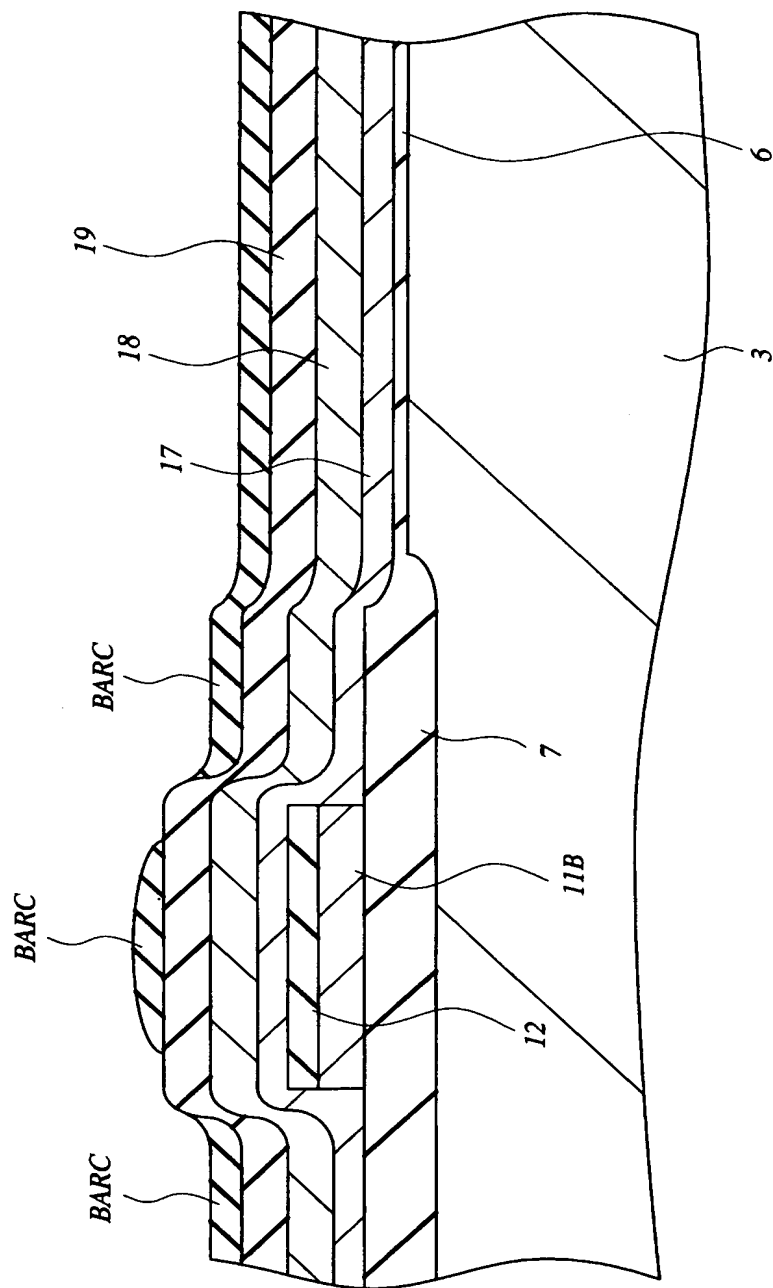


【図 8】

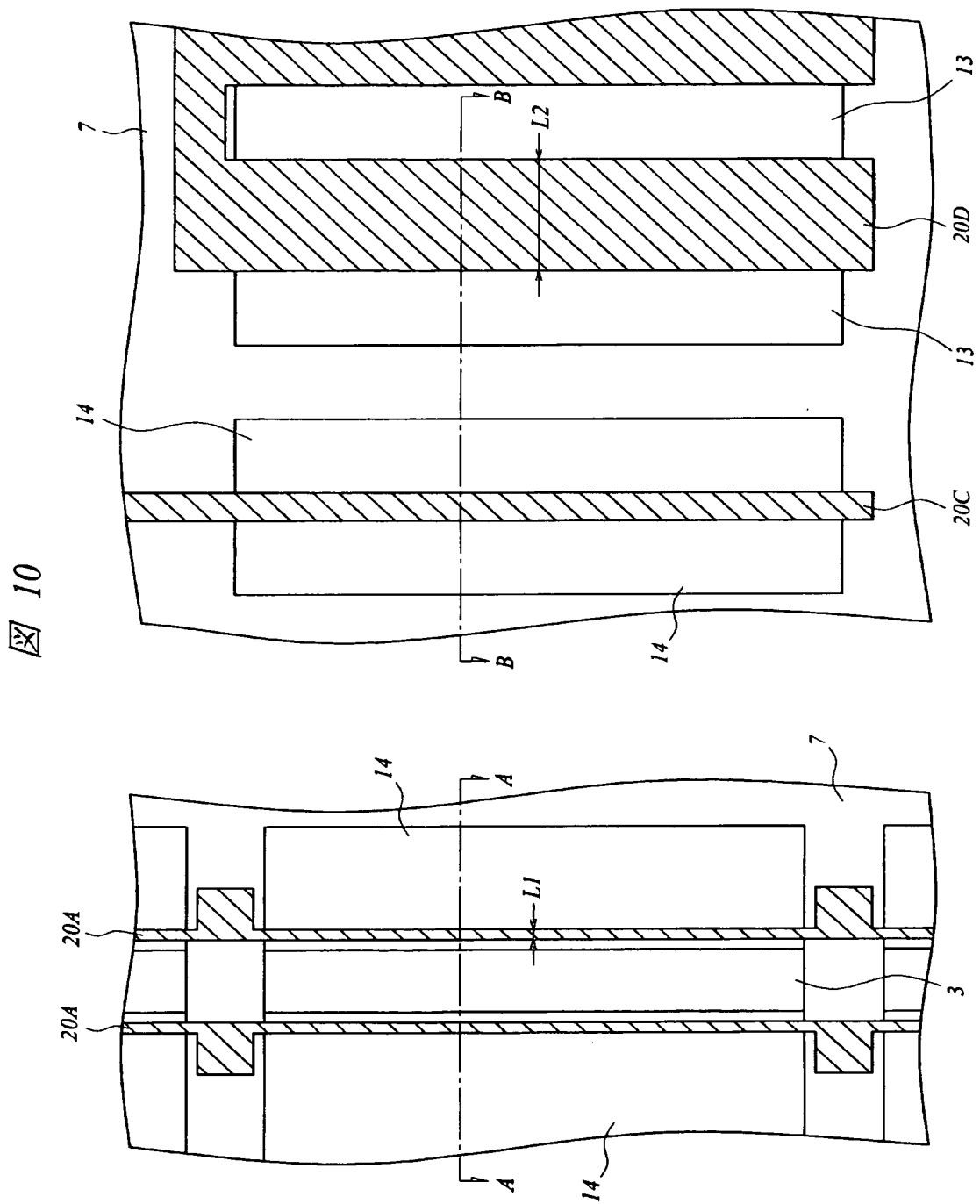
図 8



【図 9】



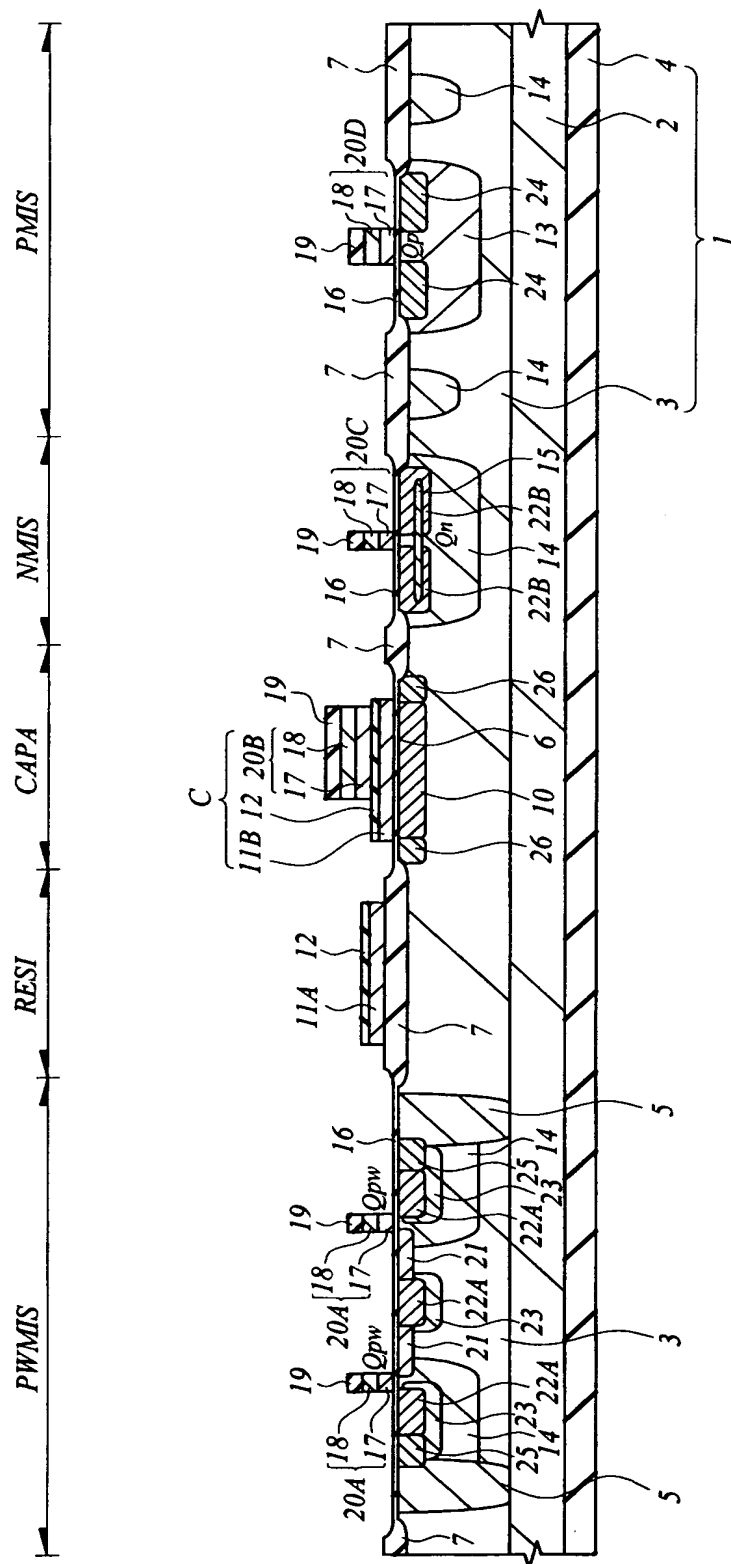
【図 10】



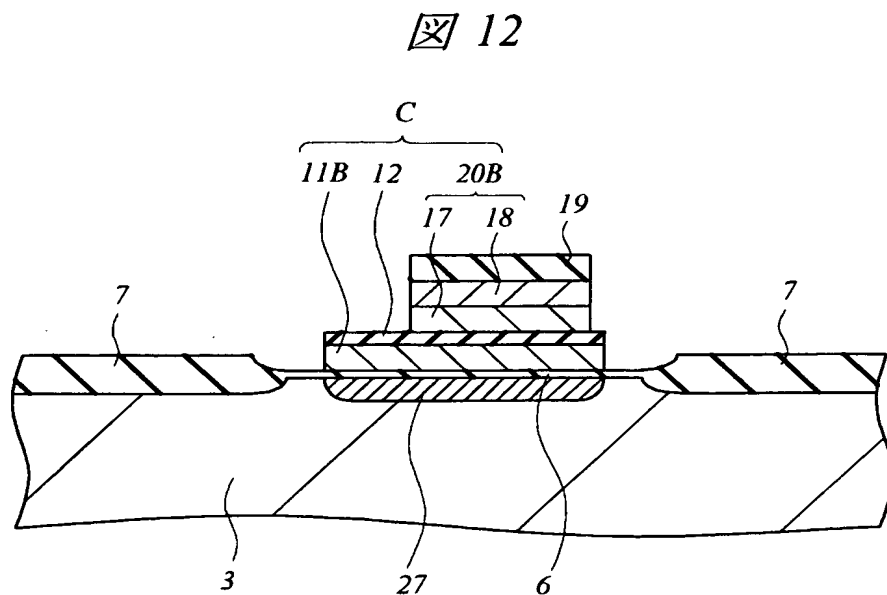


【図 11】

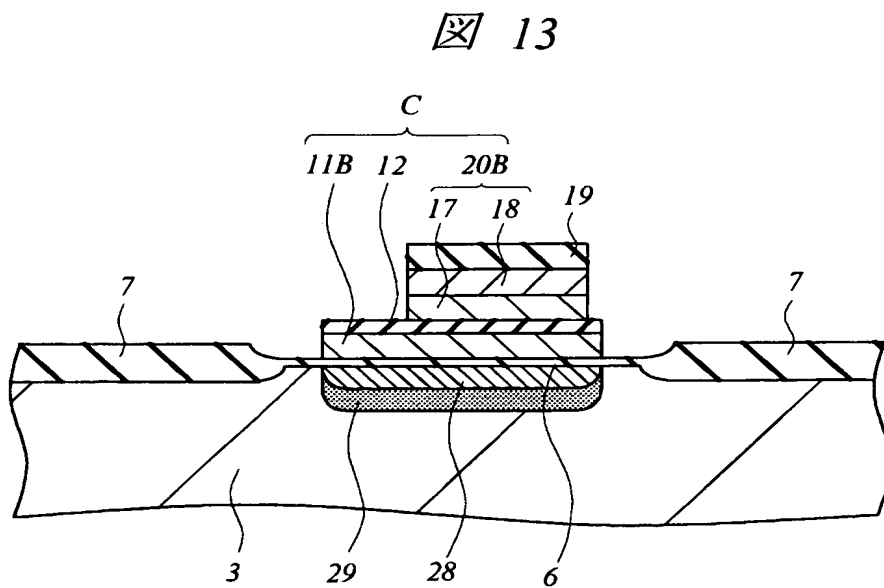
11



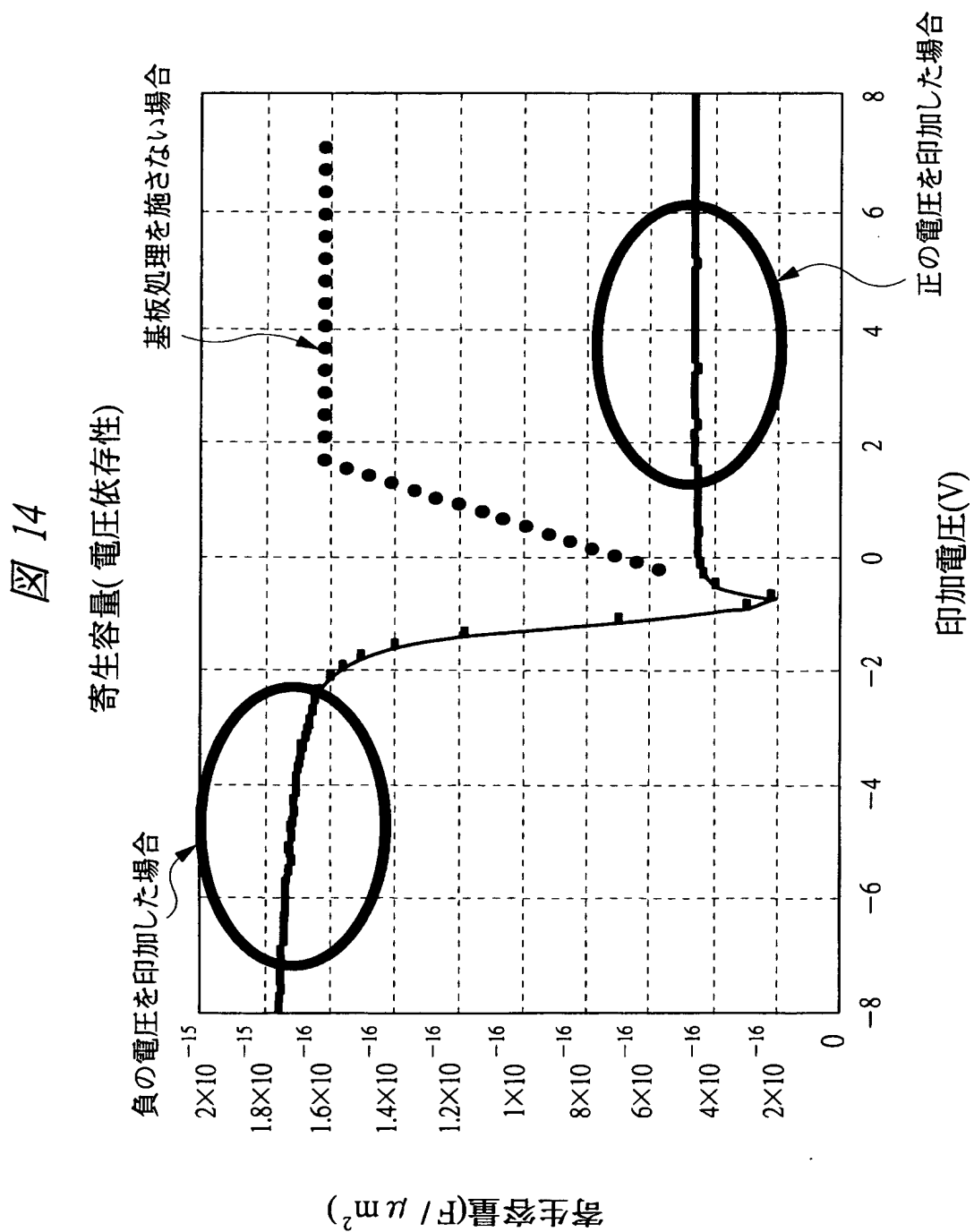
【図 12】



【図 13】

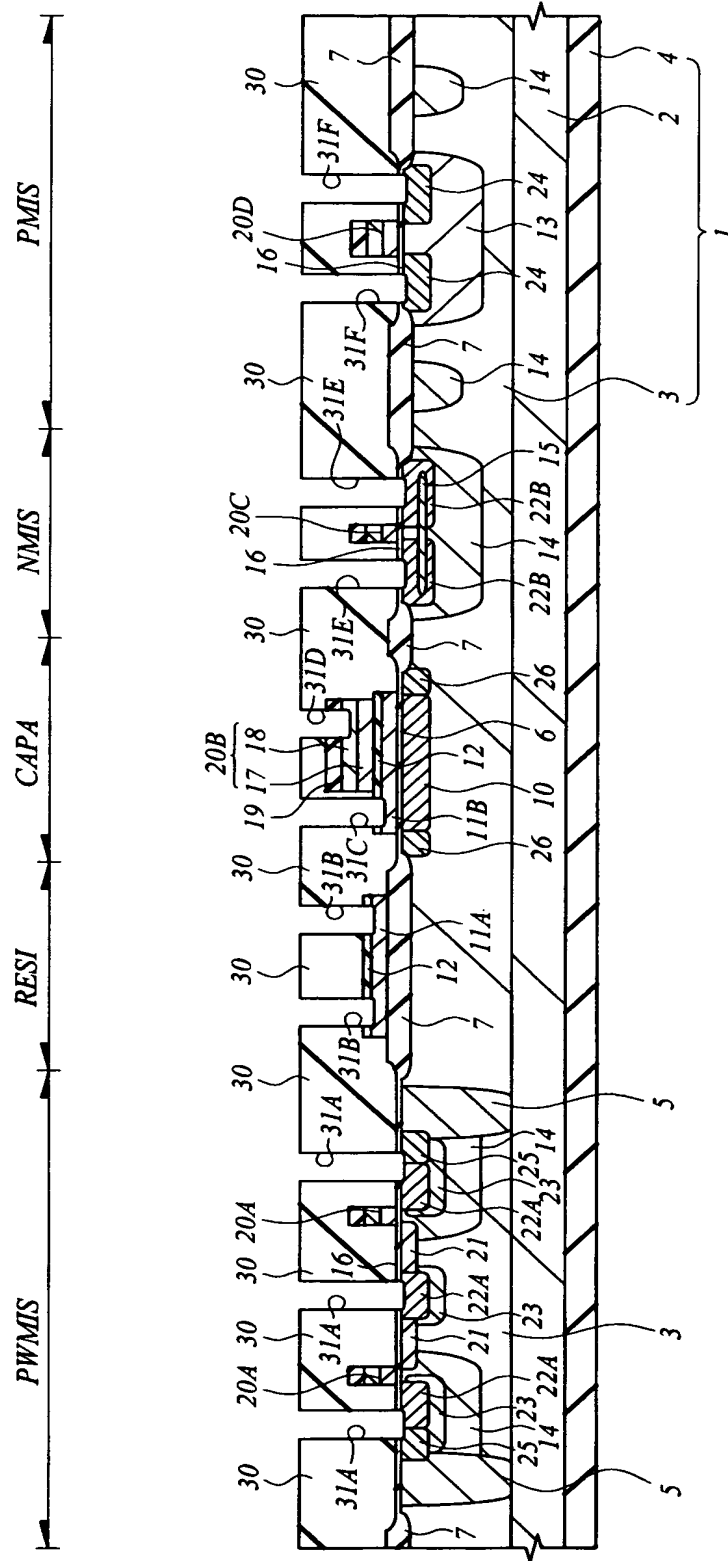


【図 14】



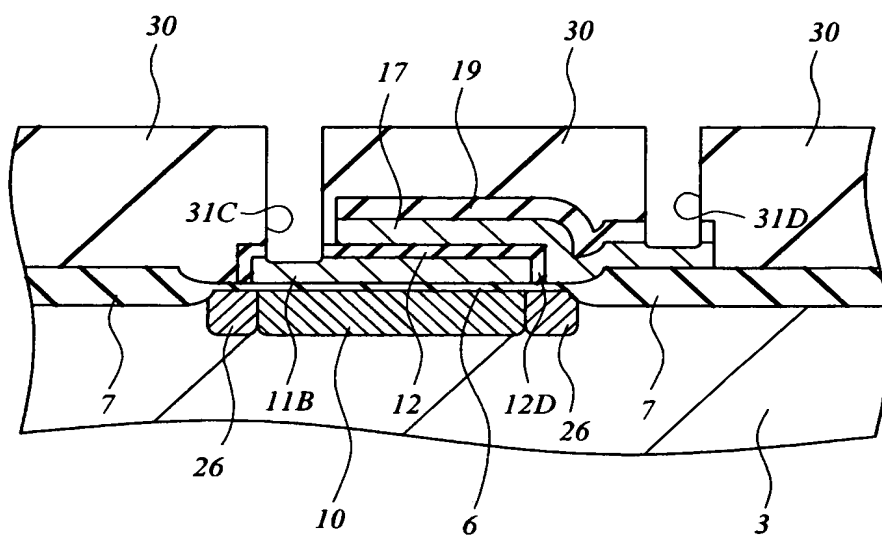
【図 15】

図 15



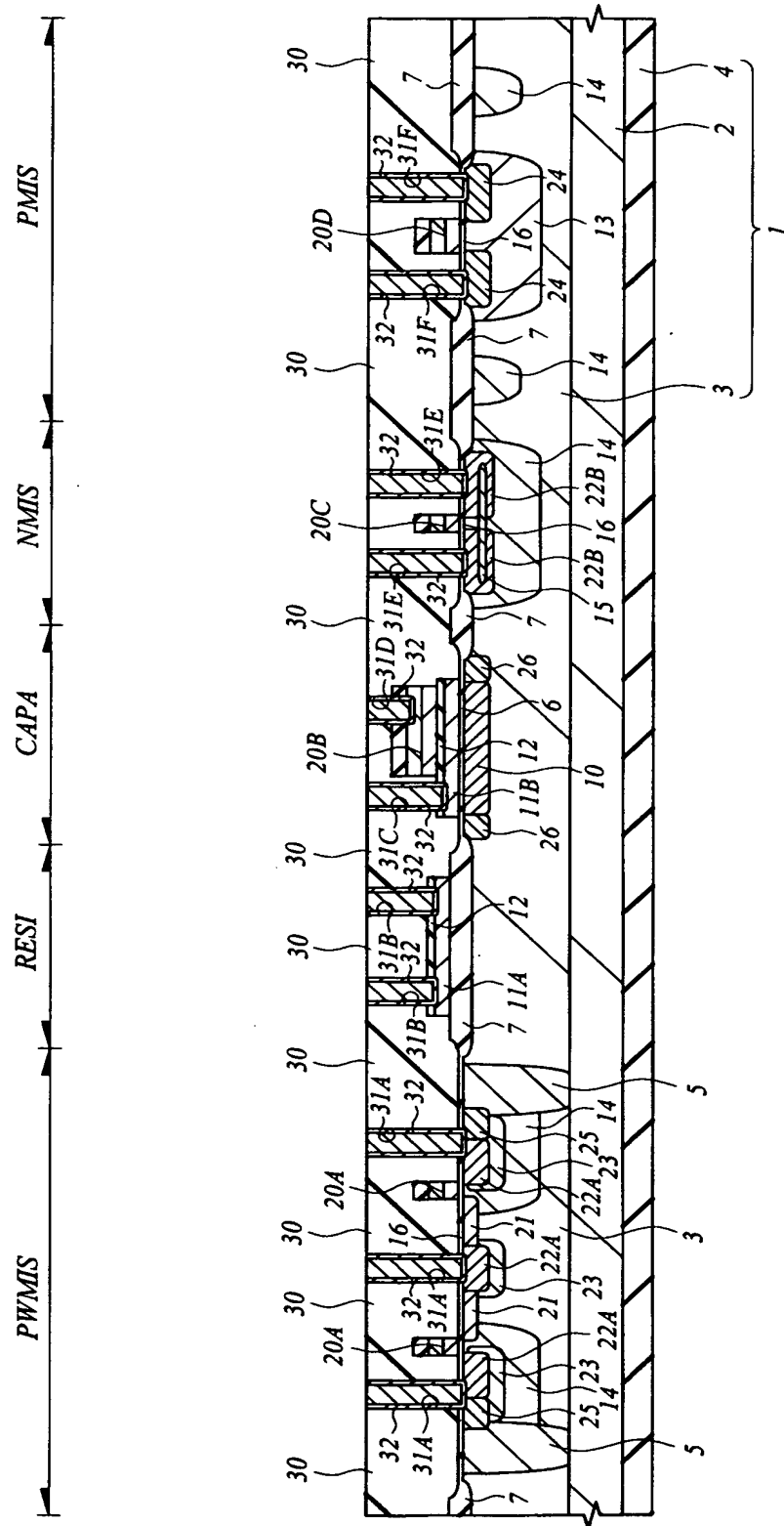
【図 16】

図 16



【図 17】

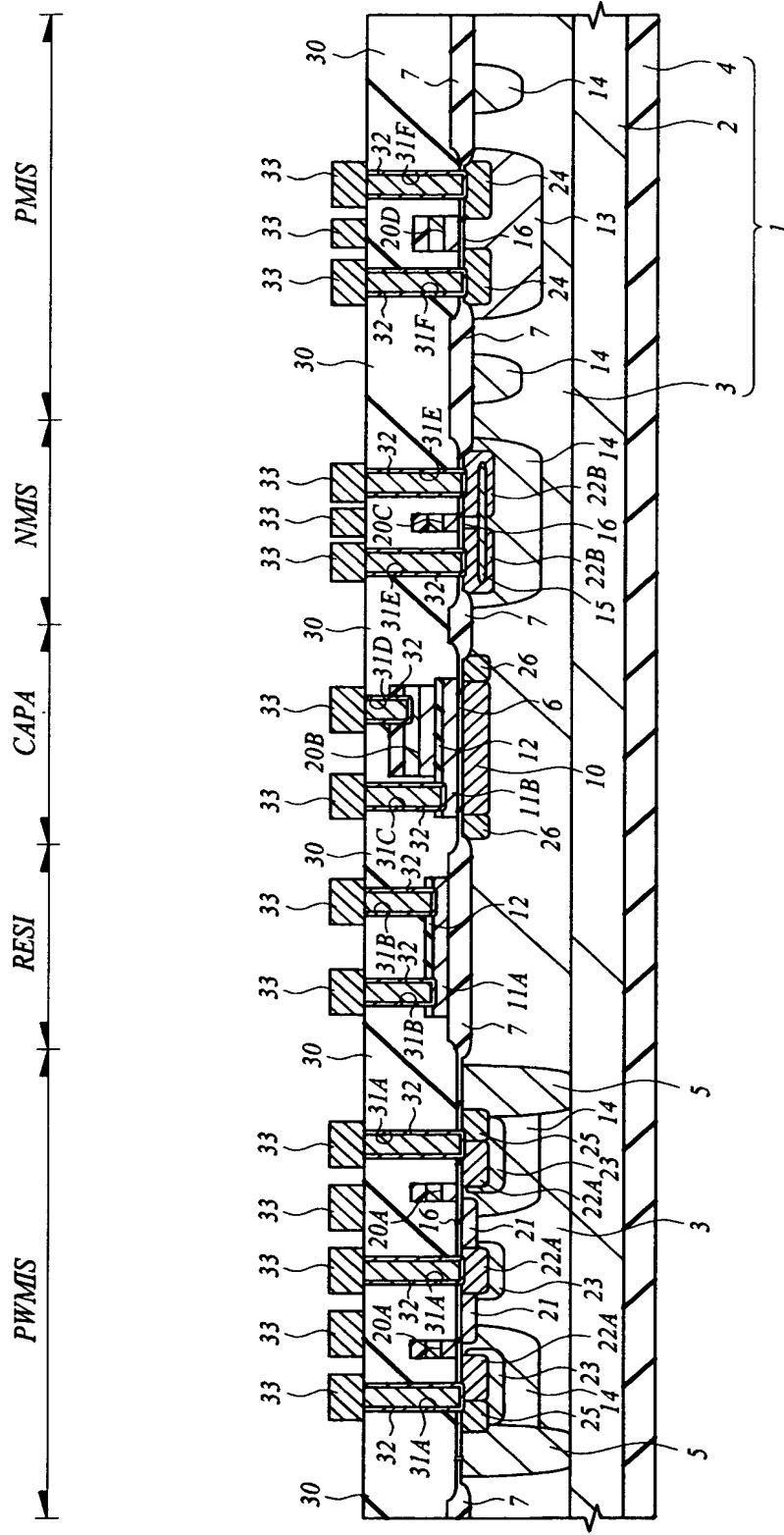
図 17





【図 19】

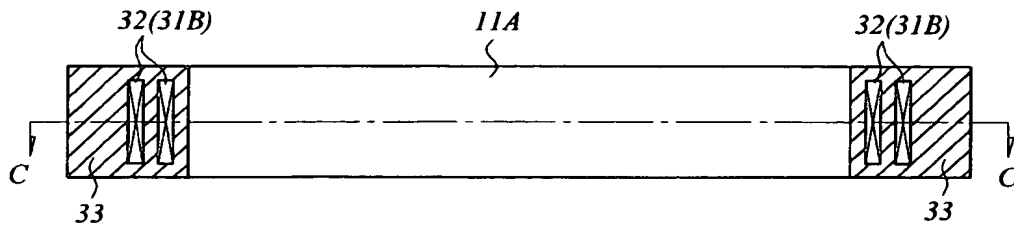
19





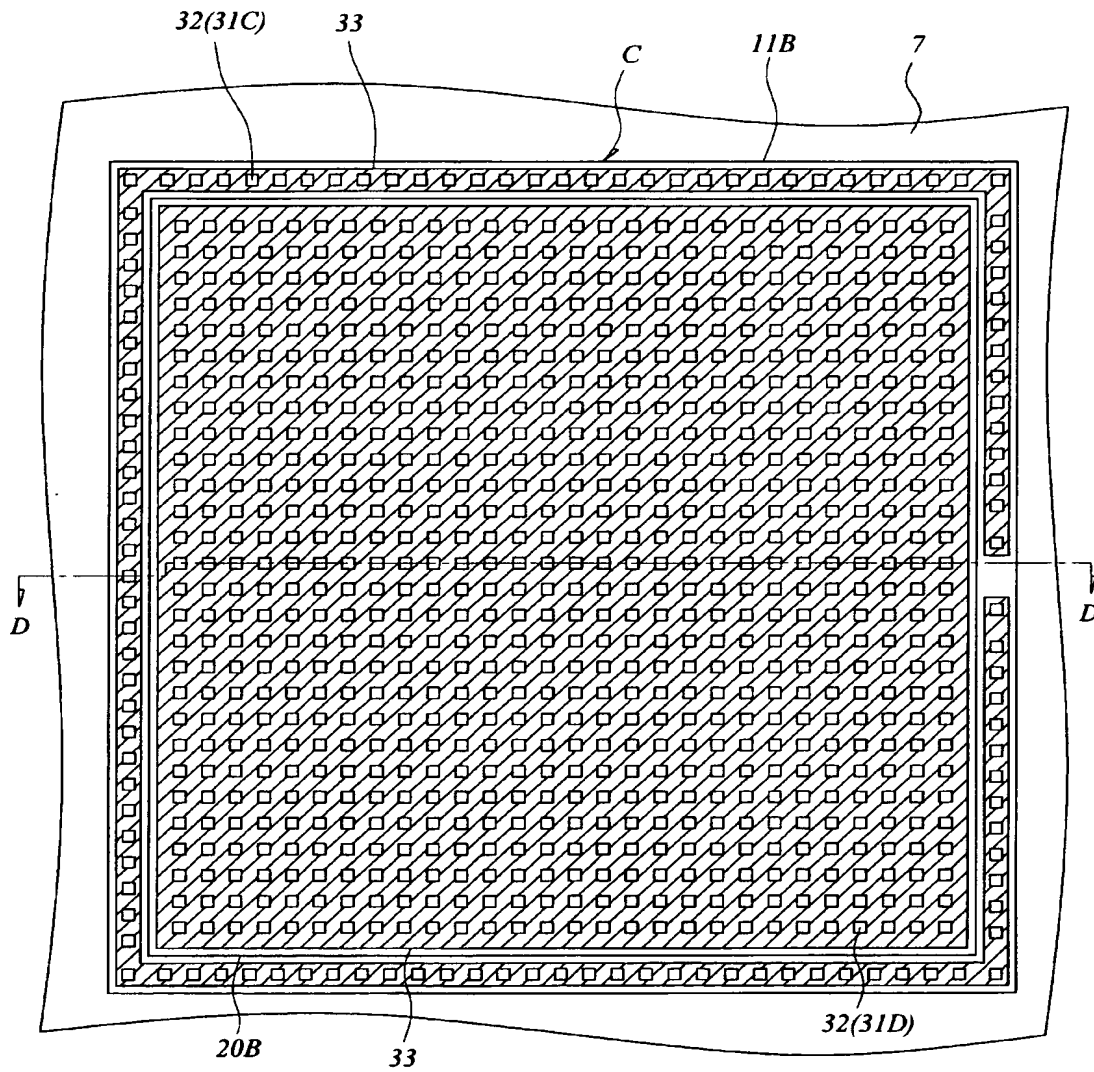
【図 20】

図 20



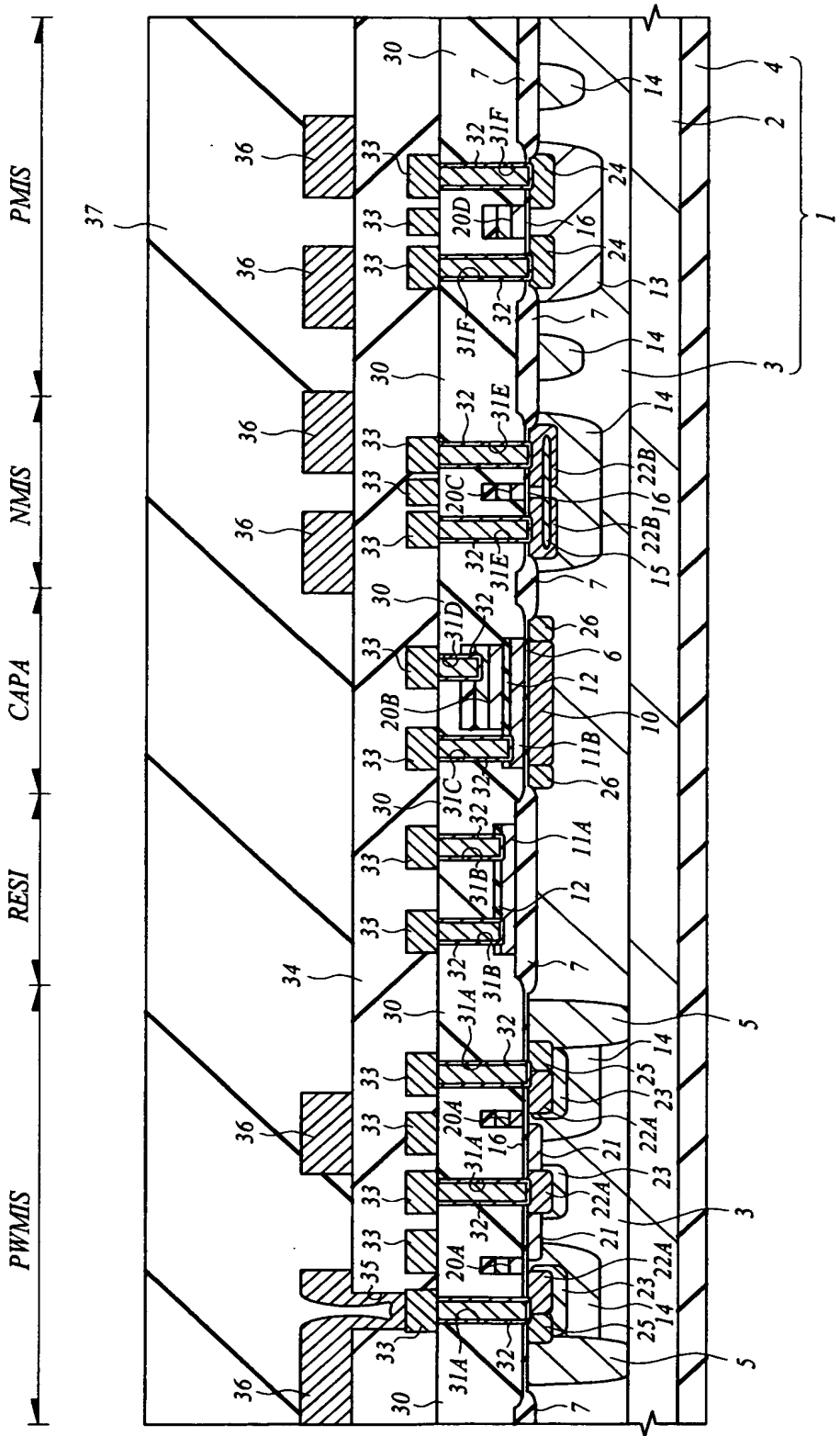
【図 21】

図 21



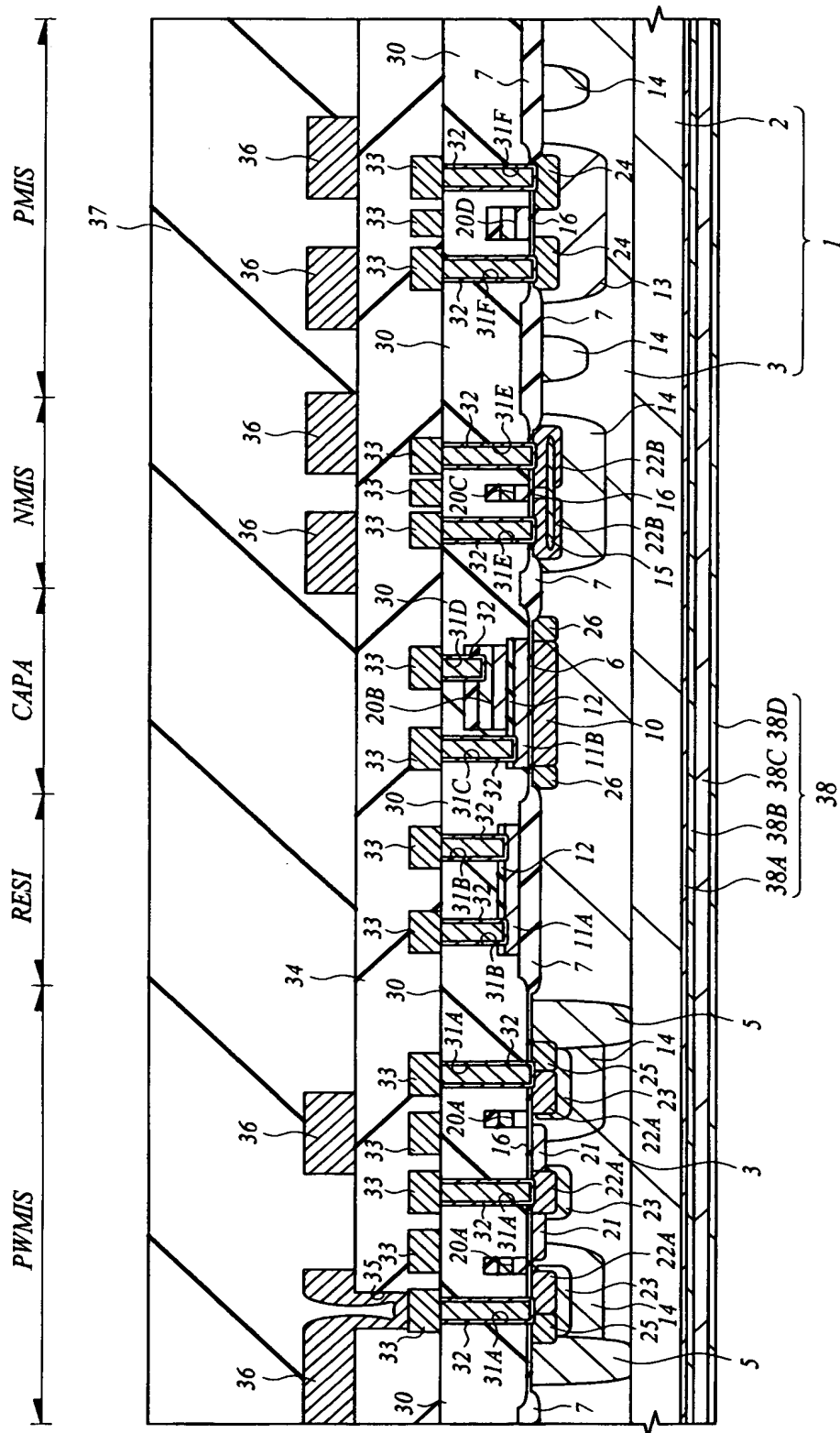
【図 22】

22

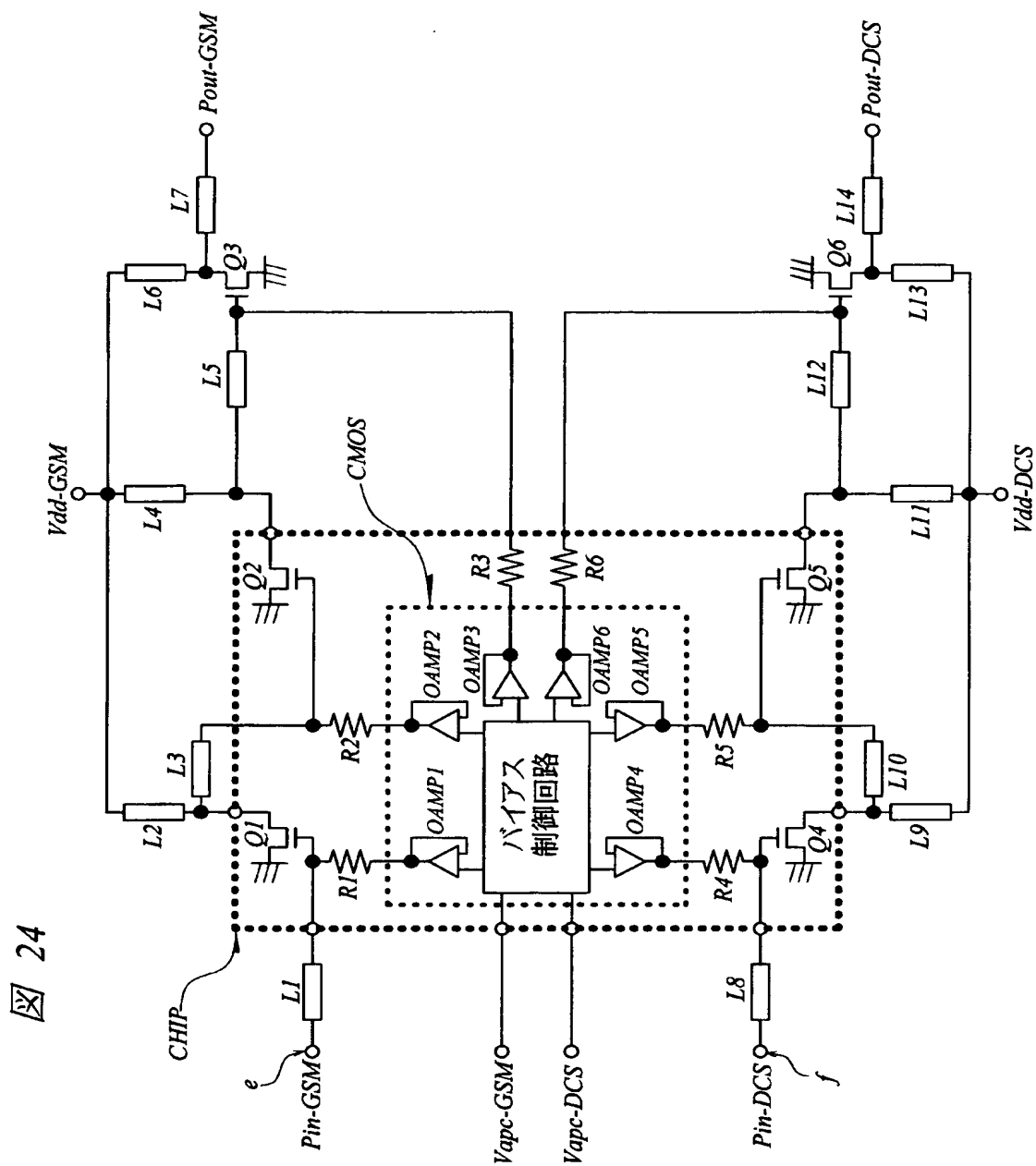


【図 23】

23

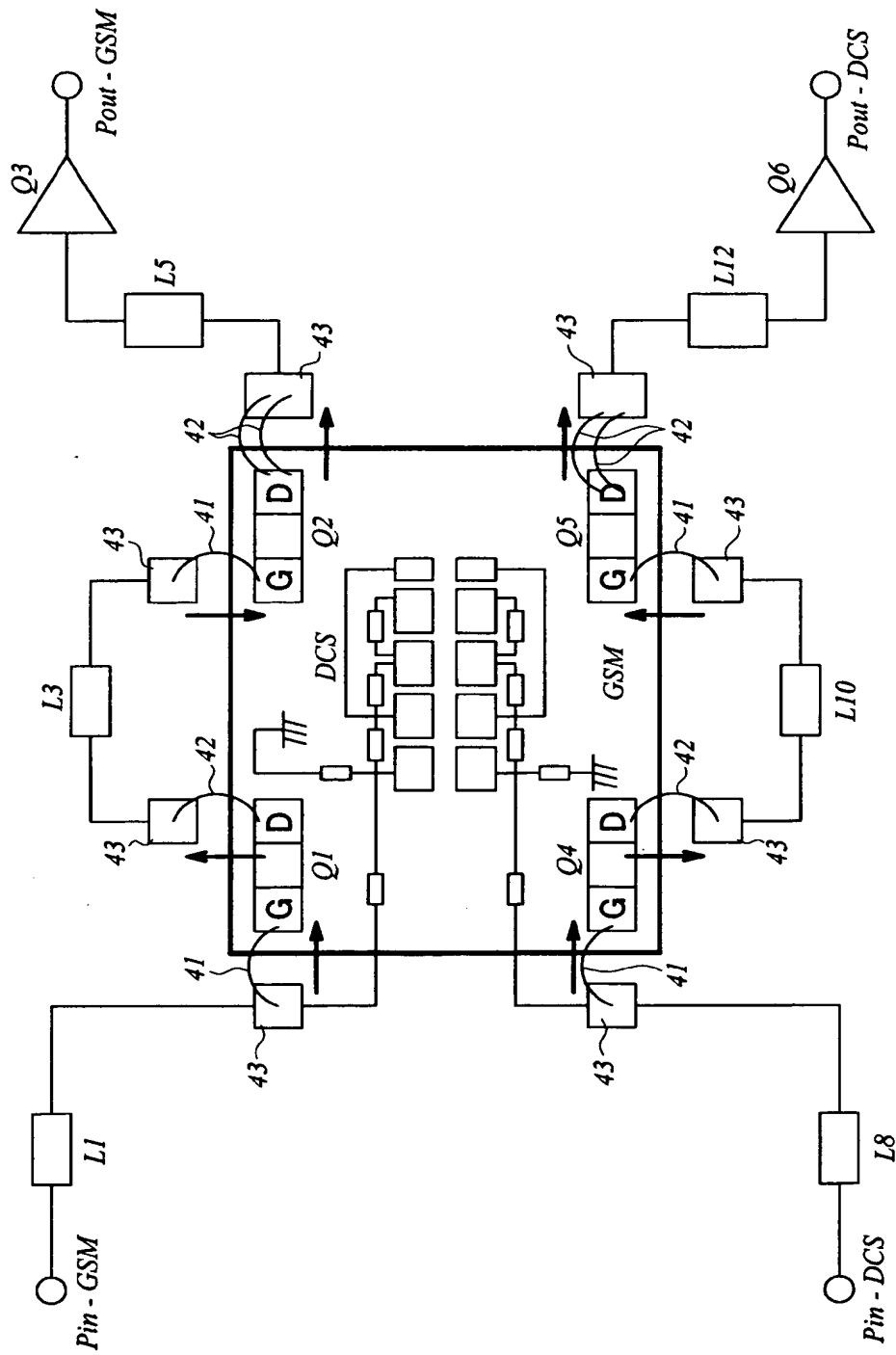


【図 24】



【図 25】

25



【書類名】 要約書

【要約】

【課題】 工程数を増やすことなく所望の特性のパワーM I S F E T、制御用C M O S回路、抵抗素子および容量素子を一つのチップに形成する。

【解決手段】 抵抗素子1 1 Aおよび容量素子Cの下部電極1 1 Bを同一の多結晶シリコン膜から形成し、領域P W M I S、C A P A、N M I S、P M I Sにおいては、それぞれ同一の多結晶シリコン膜1 7およびW S i膜1 8からパワーM I S F E Tのゲート電極2 0 A、容量素子Cの上部電極2 0 B、nチャネル型M I S F E Tのゲート電極2 0 Cおよびpチャネル型M I S F E Tのゲート電極2 0 Dを形成する。

【選択図】 図8

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2002-282366

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【提出物件の目録】

【包括委任状番号】 0308729

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け  
提出の会社分割による特許権移転登録申請書 を援用  
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 4 - 7 1 7 6 7 号 同日提出の出願人名  
義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 2 8 2 3 6 6
受付番号	5 0 3 0 1 1 9 4 6 9 2
書類名	出願人名義変更届（一般承継）
担当官	笹川 友子 9 4 8 2
作成日	平成 1 5 年 9 月 3 日

< 認定情報・付加情報 >

【提出日】 平成 15 年 7 月 18 日





特願 2 0 0 2 - 2 8 2 3 6 6

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 1 0 8 ]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2002-282366

出願人履歴情報

識別番号

[000233527]

1. 変更年月日 1999年 8月27日  
[変更理由] 住所変更  
住 所 群馬県高崎市西横手町1番地1  
氏 名 日立東部セミコンダクタ株式会社
2. 変更年月日 2002年11月15日  
[変更理由] 名称変更  
住所変更  
住 所 東京都青梅市藤橋三丁目3番地2  
氏 名 株式会社東日本セミコンダクタテクノロジーズ
3. 変更年月日 2003年 4月18日  
[変更理由] 名称変更  
住 所 東京都青梅市藤橋三丁目3番地2  
氏 名 株式会社ルネサス東日本セミコンダクタ

特願 2 0 0 2 - 2 8 2 3 6 6

出 願 人 履 歴 情 報

識別番号

[ 5 0 3 1 2 1 1 0 3 ]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ